



产品特性

- 频率范围2.400~2.483GHz世界通用 ISM频段
- 接收灵敏度: -96.5 / -95 / -92 / -90 dBm @125K/250K /1M/2Mbps
- 最大输出功率: +8dBm
- 调制方式: GFSK
- 数据率: 125K/250K /1M/2Mbps
- 自动应答及自动重传
- 快速频道切换, 支持跳频算法
- 支持RSSI功能
- 低工作电压: 1.7V~3.6V
- 内核
 - 32位ARM® Cortex® - M0+
 - 最高48MHz工作频率
- 存储器
 - 64Kbytes flash存储器
 - 8Kbytes SRAM
- 时钟系统
 - 内部4/8/16/22.12/24MHz RC 振荡器 (HSI)
 - 内部32.768KHz RC振荡器(LSI)
- 电源管理和复位
 - 低功耗模式: Sleep和Stop
 - 上电/掉电复位 (POR/PDR)
 - 掉电检测复位 (BOR)
 - 可编程的电压检测 (PVD)
- 通用输入输出(I/O)
 - 多达23个I/O, 均可作为外部中断
 - 驱动电流8mA
- 3通道 DMA控制器
- 1 x 12-bit ADC
 - 支持 最多8个外部输入通道
 - 输入电压转换范围: 0~VCC
- 定时器
 - 1个16bit高级控制定时器 (TIM1)
 - 4个通用的16位定时器 (TIM3/TIM14/TIM16/TIM17)
 - 1 个低功耗定时器(LPTIM), 支持从 stop模式唤醒
 - 1 个独立看门狗定时器 (IWDT)
 - 1 个窗口看门狗定时器 (WWDT)
 - 1 个SysTick timer
 - 1 个IRTIM
- RTC
- 通讯接口
 - 1个串行外设接口(SPI)
 - 2 个通用同步/异步收发器(USART), 支持自动波特率检测
 - 1 个I2C接口, 支持标准模式 (100kHz)、快速模式 (400kHz), 支持7 位寻址模式
- 硬件CRC-32模块
- 2个比较器
- 唯一UID
- 串行单线调试 (SWD)
- 32引脚 4*4 QFN 封装



目录

产品特性	1
1 概述	4
2 功能特点	4
2.1 RF 芯片特性	4
2.2 MCU 特性	5
3 其它特性	6
4 应用领域	6
5 主要电特性	7
6 系统方框图	9
7 引脚定义	10
7.1 引脚图	10
7.2 引脚功能	11
7.3 MCU 与 RF 通讯接口	12
7.4 烧录下载说明	13
8 工作模式	13
9 RF 功能模块描述	16
9.1 频率综合器	16
9.2 自动增益控制 (AGC)	16
9.3 接收信号强度指示 (RSSI)	17
9.4 自动频率补偿 (AFC)	17
9.5 数据处理	17
9.6 唤醒定时器	19
10 处理器功能概述	19
10.1 Arm® Cortex®-M0+ 内核	19
10.2 存储器	20
10.3 时钟系统	21
10.4 电源管理	23
10.4.1 电源框图	23
10.4.2 电源监控	24
10.4.3 复位	26



10.4.4	通用输入输出 GPIO.....	27
10.4.5	DMA.....	27
10.4.6	中断.....	27
10.4.7	模数转换器 ADC.....	29
10.4.8	比较器(COMP).....	29
10.4.9	定时器.....	30
10.4.10	实时时钟 RTC.....	34
10.4.11	I2C 接口.....	34
10.4.12	通用同步异步收发器 USART.....	35
10.4.13	串行外设接口 SPI.....	37
11	典型应用电路.....	38
12	封装信息.....	39

1 概述

本芯片是一款高性能低功耗的SOC集成无线收发芯片，集成M0核MCU，工作在2.400~2.483GHz世界通用ISM频段。该芯片集成了射频接收器、射频发射器、频率综合器、GFSK调制器、GFSK解调器等功能模块，并且支持一对多线网和带ACK的通信模式。发射输出功率、工作频道以及通信数据率均可配置。芯片已将多颗外围贴片阻容感器件集成到芯片内部。容易过FCC等认证。

芯片内含 32 位 ARM® Cortex®-M0+内核 MCU，宽电压工作范围的 MCU。嵌入高达 64Kbytes flash 和 8Kbytes SRAM 存储器，最高工作频率 48MHz。包含多种不同封装类型多款产品。芯片集成多路 I2C、SPI、USART 等通讯外设，1 路 12bit ADC，5 个 16bit 定时器，以及 2 路比较器。

2 功能特点

2.1 RF 芯片特性

- 频率范围2.400~2.483GHZ
- 125K / 250K / 1M / 2M bps模式的接收灵敏度为-96.5 / -95 / -92 / -90dBm
- 发射输出功率最大可达：8dBm
- 发射模式（0dBm）工作电流13.7mA；
- 接收模式工作电流12.3mA；休眠电流2uA。
- 支持外围4个元器件，包括1颗晶振和3个贴片电容；
- 支持双层或单层印制板设计，可以使用印制板微带天线；
- 芯片自带部分链路层的通信协议；配置少量的参数寄存器，使用方便。
- 调制方式： GFSK
- 抗干扰性好，接收滤波器的邻道抑制度高
- 容易过FCC等认证
- 低工作电压： 1.7V~3.6V

2.2 MCU 特性

■ 内核

- 32位ARM® Cortex® - M0+
- 最高32MHz工作频率

■ 存储器

- 最大64Kbytes flash存储器
- 最大8Kbytes SRAM

■ 时钟系统

- 内部4/8/16/22.12/24MHz RC 振荡器(HSI)
- 内部32.768KHz RC振荡器(LSI)
- 4~32MHz晶体振荡器(HSE)

■ 电源管理和复位

- 低功耗模式: Sleep和Stop
- 上电/掉电复位 (POR/PDR)
- 掉电检测复位 (BOR)
- 可编程的电压检测 (PVD)

■ 通用输入输出(I/O)

- 多达18个I/O, 均可作为外部中断
- 驱动电流8mA

■ 3通道 DMA控制器

■ 1 x 12-bit ADC

- 支持 最多10个外部输入通道
- 输入电压转换范围: 0~VCC

■ 定时器

- 1个16bit高级控制定时器 (TIM1)
- 4个通用的16位定时器 (TIM3/TIM14/TIM16/TIM17)
- 1 个低功耗定时器(LPTIM), 支持从stop模式唤醒
- 1 个独立看门狗定时器 (IWDT)
- 1 个窗口看门狗定时器 (WWDT)
- 1 个SysTick timer
- 1 个IRTIM

■ RTC

■ 通讯接口

- 1个串行外设接口(SPI)
- 2 个通用同步/异步收发器(USART), 支持自动波特率检测
- 1 个I2C接口, 支持标准模式 (100kHz)、快速模式 (400kHz), 支持7 位寻址模式

- 硬件CRC-32模块
- 2个比较器
- 唯一UID
- 串行单线调试 (SWD)
- 32 引脚 4*4 QFN 封装

3 其它特性

支持最大数据长度为128字节 (4级FIFO)	SOP16封装
1M / 2Mbps模式, 需要晶振精度 $\pm 40\text{ppm}$ 125K/250kbps 模式, 需要晶振精度 $\pm 20\text{ppm}$ BLE广播包模式, 需要晶振精度 $\pm 10\text{ppm}$	工作电压支持1.7~3.6V 工作温度支持-40~+125°C
GFSK通信方式	支持自动应答及自动重传, 带自动扰码和CRC校验功能

4 应用领域

- ◆ 无线鼠标键盘
- ◆ 无线游戏手柄
- ◆ 有源无线标签
- ◆ 电视和机顶盒遥控器
- ◆ 遥控玩具
- ◆ 智能家居及安防系统

5 主要电特性

表5.1 芯片主要电特性

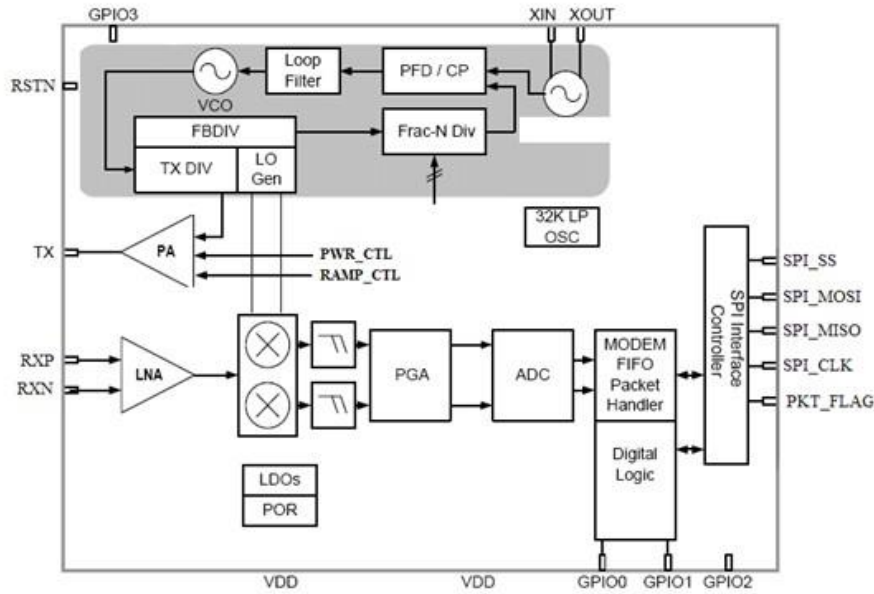
特 性	条件(除另有规定外, VCC = 3.3V, TA=25°C)	参数值			单位
		最小	典型	最大	
操作条件					
VDD	供电电压	1.7	3.3	3.6	V
VSS	芯片地		0		V
VOH	高电平输出电压	VDD-0.3		VDD	V
VOL	低电平输出电压	VSS		VSS+0.3	V
VIH	高电平输入电压	2.0	3	3.6	V
VIL	低电平输入电压	VSS		VSS+0.3	V
Cin	输入电容			10	pF
	工作温度	-40		+85	°C
	储存温度	-40		+125	°C



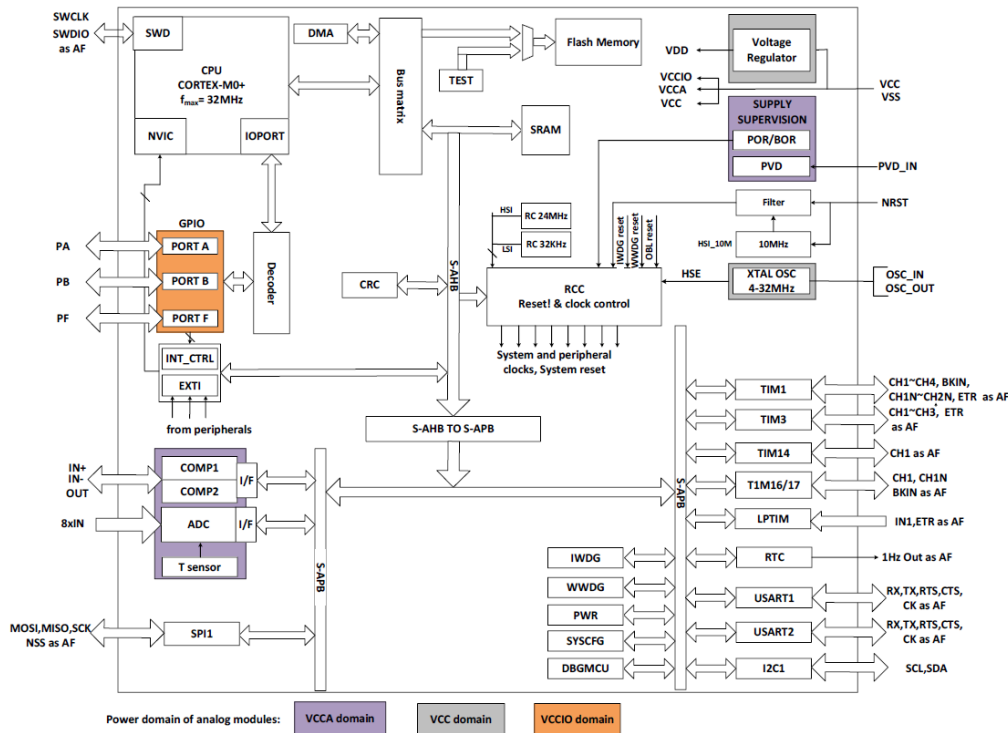
功耗特性					
ICC	Shutdown模式		0.1		uA
	standby模式		3		uA
	IDLE 模式		1.3		mA
	发射模式 (20dBm)		100		mA
	发射模式 (7dBm)		36		
	发射模式 (0dBm)		25		
	接收模式		18		mA
	接收模式 (wor)		3		mA
系统指标					
f_{OP}	工作频率	2400		2483	MHz
f_{XTAL}	晶振频率		16		MHz
$PLL\ stable$	PLL 稳定时间		250		us
	码率	2.4		200	kbps
发射模式指标					
P _{MAX}	最大输出功率		8		dBm
P _{RFC}	输出功率范围	-5		8	dBm
P _{STEP}	输出功率调节步进		1		dB
接收模式指标					
RXSENSE	接收灵敏度 (0.1%BER@10kbps)		-112		dBm
抗干扰特性					
$C/_{CO}$	同道干扰		9		dBc
$C/_{1ST}$	第 1 相邻道干扰		-44		dBc
$C/_{2ND}$	第 2 相邻道干扰		-52		dBc
$C/_{3RD}$	第 3 相邻道干扰		-60		dBc

6 系统方框图

RF



MCU



7 引脚定义

7.1 引脚图

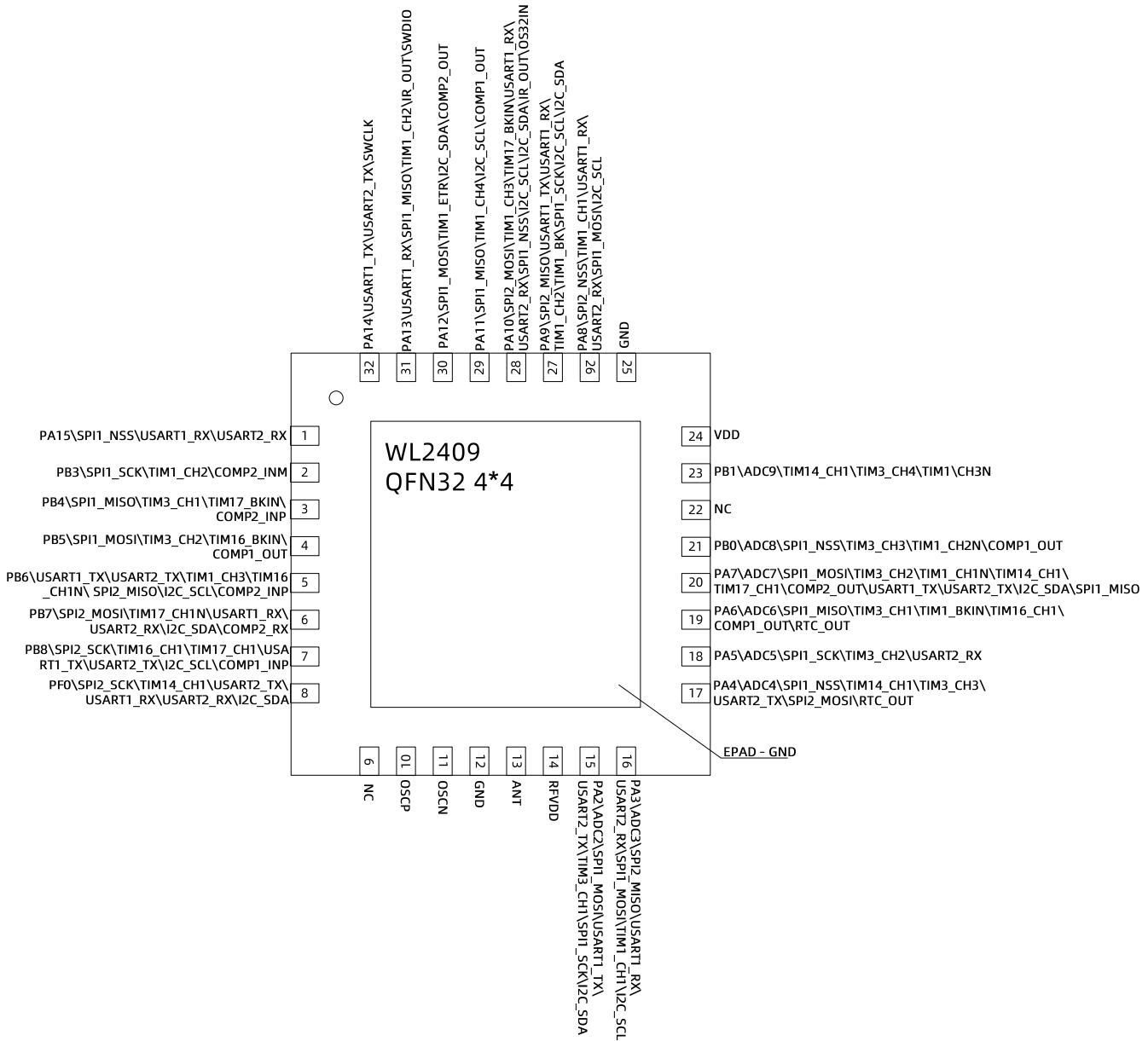


图7.1 QFN32引脚图



7.2 引脚功能

表5.1 QFN32 引脚功能说明

序号	Pin Name	Type	Description
1	PA15	I/O	SPI1_NSS\USART1_RX\USART2_RX
2	PB3	I/O	SPI1_SCK\TIM1_CH2\COMP2_INM
3	PB4	I/O	SPI1_MISO\TIM3_CH1\TIM17_BKIN\COMP2_INP
4	PB5	I/O	SPI1_MOSI\TIM3_CH2\TIM16_BKIN\COMP1_OUT
5	PB6	I/O	USART1_TX\USART2_TX\TIM1_CH3\TIM16_CH1N \SPI2_MISO\I2C_SCL\COMP2_INP
6	PB7	I/O	SPI2_MOSI\TIM17_CH1N\USART1_RX\ USART2_RX\I2C_SDA\COMP2_RX
7	PB8	I/O	SPI2_SCK\TIM16_CH1\TIM17_CH1\USART1_ TX\USART2_TX\I2C_SCL\COMP1_INP
8	PF0	I/O	SPI2_SCK\TIM14_CH1\USART2_TX\ USART1_RX\USART2_RX\I2C_SDA
9	NC	NC	NC
10	OSCP	I/O	晶振脚
11	OSCN	I/O	晶振脚
12	GND	GND	地
13	ANT	O	天线
14	RFVDD	VDD	射频电源
15	PA2	I/O	ADC2\SPI1_MOSI\USART1_TX\USART2_TX\ TIM3_CH1\SPI1_SCK\I2C_SDA
16	PA3	I/O	ADC3\SPI2_MISO\USART1_RX\USART2_RX\ SPI1_MOSI\TIM1_CH1\I2C_SCL
17		I/O	ADC4\SPI1_NSS\TIM14_CH1\TIM3_CH3\USART 2_TX\SPI2_MOSI\ RTC_OUT
18	PA5	I/O	ADC5\SPI1_SCK\TIM3_CH2\USART2_RX
19	PA6	I/O	ADC6\SPI1_MISO\TIM3_CH1\TIM1_BKIN\TIM16_C H1\COMP1_OUT\ RTC_OUT



20	PA7	I/O	ADC7\SPI1_MOSI\TIM3_CH2\TIM1_CH1N\TIM14_CH1\TIM17_CH1\COMP2_OUT\USART1_TX\USART2_TX
21	PB0	I/O	ADC8\SPI1_NSS\TIM3_CH3\TIM1_CH2N\COMP1_OUT
22	NC	NC	NC
23	PB1	I/O	ADC9\TIM14_CH1\TIM3_CH4\TIM1\CH3N
24	VDD	VDD	电源VDD
25	GND	GND	地
26	PA8	I/O	SPI2_NSS\TIM1_CH1\USART1_RX\USART2_RX
27	PA9	I/O	SPI2_MISO\USART1_TX\USART1_RX\TIM1_CH2\TIM1_BK\SPI1_SCK\I2C_SCL\I2C_SDA
28	PA10	I/O	SPI2_MOSI\TIM1_CH3\TIM17_BKIN\USART1_RX\USART2_RX\SPI1_NSS\I2C_SCL\I2C_SDA\IR_OUT\OS32
29	PA11	I/O	SPI1_MISO\TIM1_CH4\I2C_SCL\COMP1_OUT
30	PA12	I/O	SPI1_MOSI\TIM1_ETR\I2C_SDA\COMP2_OUT
31	PA13	I/O	USART1_RX\SPI1_MISO\TIM1_CH2\IR_OUT\SWDIO
32	PA14	I/O	USART1_TX\USART2_TX\SWCLK
33	GND	GND	EPAD - GND

Note :

- (1) 复位后, PA13 和 PA14 两个 pin 被配置为 SWDIO 和 SWCLK AF 功能, 前者内部上拉电阻、后者内部下拉电阻被激活。
- (2) PB7脚应用时, 注意不要用在数据通讯或接收处理上, 容

7.3 MCU 与 RF 通讯接口

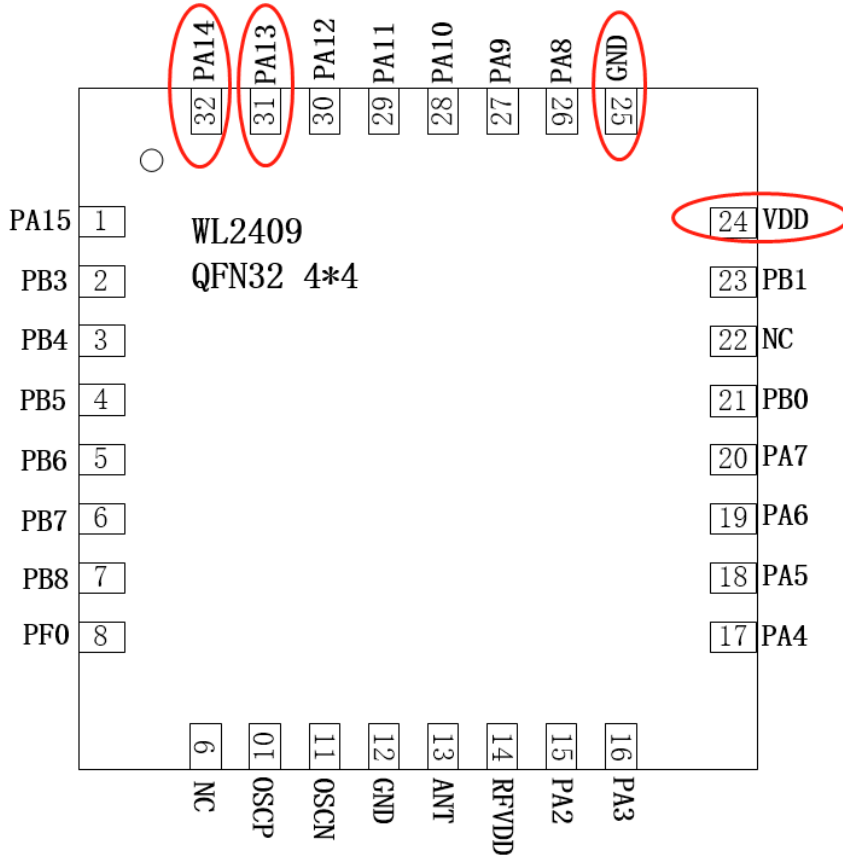
内部连线参考

引脚名	相连位置
SD0	PF1
SDI	PF3
SCK	PA0
CSN	PA1



7.4 烧录下载说明

SWD接口, PA13\PA14 支持SWD仿真与下载。



8 工作模式

芯片的主要工作模式（shutdown 模式未包含在内）如下表所示：

State/mode	Description	Command	状态转换时间
IDLE State	空闲状态，复位后进入此状态	SIDLE	
SLEEP state	睡眠状态，除 STANDBY 状态外电流消耗最低状态	SSLEEP	SLEEP=>IDLE 2ms



STANDBY state	关机状态，电流消耗最低状态	SPWD/SWOR	STANDBY=>IDL E 2ms
FSON state	频综打开状态，可快速进入接收或发送状态	SFSON	FSON => RX Less than 5us
RX state	接收数据状态	SRX	IDLE=>RX Less than 250us
TX state	发送数据状态	STX	IDLE=>TX Less than 250us

1、关断模式 (shutdown)

当 SDN 输入为高电平时，芯片进入关断模式，芯片内部所有电路进入关断模式，此时耗电 约为 100nA。

2、空闲状态 (IDLE)

当设备复位完成后或者发送 SIDLE 命令后，设备进入空闲状态，等待 SPI 接口命令再执行 其它的动作。

3、 睡眠状态 (SLEEP)

收到 SSLEEP 命令，FSM 进入 SLEEP 状态，该状态关闭外部晶振，数字电源仍打开。 只能通过 SPI_CSN=0 来唤醒。电流消耗较低。

4、关机状态 (STANDBY)

收到 SWOR 命令且 WOR 功能使能或 SPWD 命令时，芯片进入 STANDBY 状态，关闭 电源及外部晶振，进入最低功耗模式，寄存器值仍保持。通过 SPI_CSN=0 时或者SWOR 事 件触发时，系统



被唤醒,状态机进入 IDLE 状态, 寄存器值不丢失。

5、 频综打开状态 (FSON)

让频综打开后保持在这个状态, 在频综保持状态当收到 TX/RX 会马上进入 TX/RX 状态

6、发送数据包状态 (TX)

收到发射数据包命令后, 芯片先打开 PLL 及 VCO, 进行校准, 等待至 PLL 达到要求的发射频段, 如果自动信道检测功能打开, 则在进入发送包状态前先进行读该信道的 RSSI 值, 如果空闲则进行发送数据包, 如果信道忙, 则下个动作可通过寄存器设置, 是直接退出发送, 还是继续检测 RSSI, 直到把数据包发出。当数据包发出后, 如果自动应答功能开启则切换到 RX_ACK 状态, 以确定包有没有被接收方正确的接收, 如果超出寄存器设定的 时间没有收到应答包, 则进行重发, 重发最大次数可寄存器设置。

7、 接收数据包状态 (RX)

收到接收数据命令后, 芯片先打开 PLL 及 VCO, 进行校准, 等待至 PLL 达到要求接收 的频率, 启用接收器电路 (LNA, 混频器、及 ADC), 再启用数字解调器的接收模式。直 到收到接收到一包数据完成的指示信号或者是 SWOR 功能超时信号, 如果是 SWOR 功能超 时信号状态, 则直接进入 STANDBY 模式; 如果收到一包数据完成指示信号则会进入IDLE 状态, 当 AUTO_ACK 功能开启, 先进行发送 ACK 包, 发完后再退到 IDLE 状态。

8、中断

芯片能产生两个中断信号, pkt_flag 和 fifo_flag (通过 GPIO_1 配置出来), 该两个 中断信号标志位都可读。Pkt_flag 分为 4 个功能: 前导匹配、同步字匹配、接收或发送包完 成。在 pkt_length_en=1 (payload 第 1 个字节为包长度) 的情况下, pkt_flag 可设为同 步字匹配 或



包完成状态，默认为包完成。在 `pkt_length_en=0` 时，`pkt_flag` 表示前导匹配或同步字匹配。在发送状态下表示包完成。

`Fifo_flag` 表示 FIFO full 或 empty，在发送模块时表示 fifo empty，在接收模式时表示 fifo full。

9 RF 功能模块描述

以下部分对RF芯片内部关键模块的功能进行描述

9.1 频率综合器

芯片通过内部的频率综合器产生精准的载波频率。信道频率由两种方式设置：

- 1) 信道号和组号查表选出频率值。
- 2) 通过寄存器设置直接计算频率值，计算式：

$$f=f_0+N*\text{step}$$

$$N=\{\text{reg0}[6:0]\};$$

$\text{step}=\{\text{reg1},\text{reg2},\text{reg3}\}$ ，其中低 20bit 为小数部分； $f_0=\{\text{reg74},\text{reg75},\text{reg76},\text{reg77}\}$ ，其中低 20bit 为小数部分，单位是 MHz；再根据是发送还是接收状态，若是接收状态再加或减上一个中频的频偏值。

参考频率也可以通过寄存器设置，默认为 16M， $\text{ref_freq}=\{\text{reg70}[6:0], \text{reg71}, \text{reg72}, \text{reg73}\}$ ，其中低 24 位为小数部分。并且不同晶振的偏差可通过设置参考频率来抵消。

9.2 自动增益控制 (AGC)



对 ADC 的信号峰值检测器可实现对 LNA 增益和 PGA 增益的最佳调整，以达到最优化的性能。

9.3 接收信号强度指示 (RSSI)

接收信号强度指示器 (RSSI) 是对接收器调谐信道中信号强度的估量。RSSI 测量必须是在进入 RX 状态下进行，RSSI 值可通过寄存器直接读取。

9.4 自动频率补偿 (AFC)

因晶体非精确性引起的频率失谐可通过启用接收模式中的数字自动频率控制 (AFC) 进行补偿。当 AFC 启用时，前导码长度需足够长以使 AFC 稳定。

9.5 数据处理

1、RX 和 TX FIFO

内部实现了两个 FIFO，每个 FIFO 有 128 个字节，分别作为接收和发送单独使用；也可以用寄存器设置成两个 FIFO 连成一个 FIFO，这样 FIFO 就有 256 个字节，发送和接收共用这 256 个字节 FIFO，但是仍读写指针仍是发送和接收分开控制。发送 FIFO 和接收 FIFO 都可以通过寄存器设置一个阈值。当触发到这相阈值时会产生 FIFO_FLAG 标志。

当 TX 时，TX FIFO 中数据达到空阈值时，会产生 FIFO_FLAG 标志，如果这时有更多数据写入到 TX FIFO，TX FIFO 中的数据多于阈值时，FIFO_FLAG 又会自动清除。当在 RX 时，当收到的数据达到满阈值时，也会产生 FIFO_FLAG 标志，MCU 这时需要从 RX FIFO 读取数据，防止 FIFO 溢出。

发送和接收的读写指针都可通过对相应的寄存器写‘1’进行清零。接收写指针在接收一帧数据开始时自动清零。

发送读指针在发送一帧数据开始时自动清零。 2、数据模式



(a)、FIFO 数据模式

MCU 需要发送的数据都是通 SPI 接口写入到 TX FIFO 中，在发送数据时会自动对 FIFO 数据进 行打 包处理，FIFO 中的数据只写 payload 部分。在 FIFO 数据模式下又分以下几种情况：

	pkt_length_en	hw_fw_en					
1	1	x	preamble	syncword	length	payload	crc
			1-255bytes	1-4bytes	1/2bytes	N bytes	2bytes
2	0	1	preamble	syncword	payload		
			1-255bytes	1-4bytes	N bytes		
3	0	0	preamble	syncword	Payload		
			1-255bytes	1-4bytes	N bytes		

1) 第一种方式最常用，payload 长度由 payload 中的第一个 byte 或第一个 WORD 控 制，当发送数据达到时，状态机自动退出到 IDLE 状态，preamble 和 syncword 会自 动添加。CRC 也可自动计算然后放在数据结尾。

2) 第二种方式，payload 中不包含数据长度，当发送 FIFO 数据空时，状态机退出到 IDLE 状态，发送时，preamble 和 syncword 可由寄存器设置是否添加。

3) 第三种方式，payload 中不包含数据长度，且 FIFO 为空时也不停止发送，只能通过 MCU 发 SIDLE 命令退出到 IDLE 状态。发送时，preamble 和 syncword 可由寄存器 设置是否添加。

Preamble 序列为 0101....0101 或 1010....1010。Syncword 也可由寄存器设置。

除 preamble 外其它区域数据都是低位先发送。Payload 中的数据支持数据白化、FEC、交织编码。

(b)、直接模式

直接模式即发送或接收的数据不经过 FIFO 及数据包处理系统，直接通过芯片引脚输入或 输入输出串行数 据。



9.6 唤醒定时器

芯片包含一个集成唤醒定时器，可用来定期从 standby 状态唤醒芯片。唤醒定时器使用内部 32K 时钟源运行。芯片睡眠的时间和唤醒后执行命令的时间都可通过寄存器来设置定时器的值，且定时器的时钟源设置成 32K 的 $2^{(0\sim 15)}$ 分频时钟。唤醒后执行的命令可以设置成 RX 或 TX。

计数器可配置一个最大值 `wortimer_set` 和一个中间值 `wor_rxtimer_set`，这样可以方便的产生一个类似 PWM 信号输出。`wortimer_set` 设置的整个的一个周期时间，`wor_rxtimer_set` 设置唤醒后接收的时间。

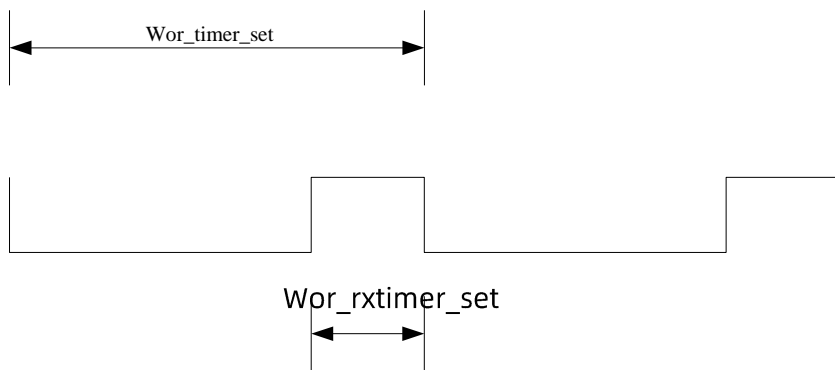


图8.1 计数器时序图

当接收到一个有效的数据包后，芯片会退出自动唤醒状态，同时给出PKT_FLAG 标志通知MCU 处理数据。

10 处理器功能概述

10.1 Arm® Cortex®-M0+ 内核

Arm® Cortex®- M0+是一款为广泛的嵌入式应用设计的入门级32位Arm Cortex处理器。它为开发人



员提供了显著的好处，包括：

- 结构简单，易于学习和编程
- 超低功耗，节能运行
- 精简的代码密度等

Cortex-M0+处理器是32位内核，面积和功耗优化高，为2级流水的冯诺伊曼架构。处理器通过精简但强大的指令集和广泛优化的设计，提供高端处理硬件，包含单周期乘法器，提供了32位架构计算机所期望的卓越性能，比其他8位和16位微控制器具有更高的代码密度。

Cortex-M0+与一个嵌套的矢量中断控制器(NVIC)紧密耦合。

10.2 存储器

片内集成SRAM。通过bytes (8bits)、half-word (16bits) 或者word (32bits) 的方式可访问SRAM。

片内集成Flash，包含两个不同的物理区域组成：

- Main flash区域，它包含应用程序和用户数据
- Information区域，4KBytes，它包括以下部分：
 - Option bytes
 - UID bytes
 - System memory

对Flash main memory的保护包括以下几种机制：

- read protection(RDP)，防止来自外部的访问。
- write protection (WRP) 控制，以防止不想要的写操作（由于程序存储器指针PC的混乱）。写



保护的最小保护单位为4Kbytes。

- Option byte写保护，专门的解锁设计。

10.3 时钟系统

CPU启动后默认系统时钟频率为HSI 8MHz，在程序运行后可以重新配置系统时钟频率和系统时钟源。可以选择的高频时钟有：

- 一个4/8/16/22.12/24MHz可配置的内部高精度HSI时钟。
- 一个32.768KHz可配置的内部LSI时钟。
- 4~32MHz HSE时钟，并且可以使能CSS功能检测HSE。如果CSS fail，硬件会自动转换系统时钟

为HSI，HSI频率由软件配置。同时CPU NMI中断产生。

AHB时钟可以基于系统时钟分频，APB时钟可以基于AHB时钟分频。AHB和APB时钟频率最高为32MHz。

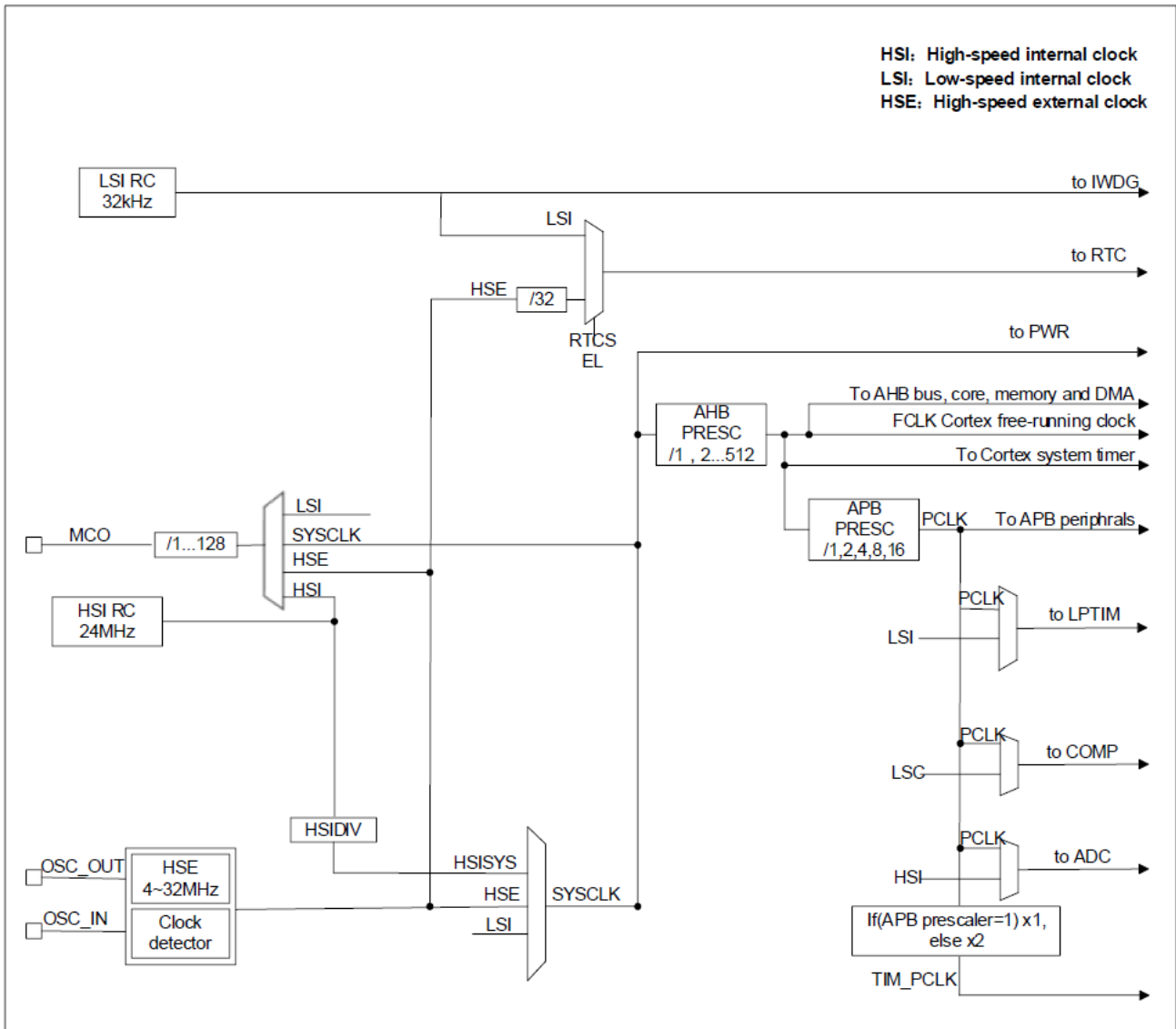
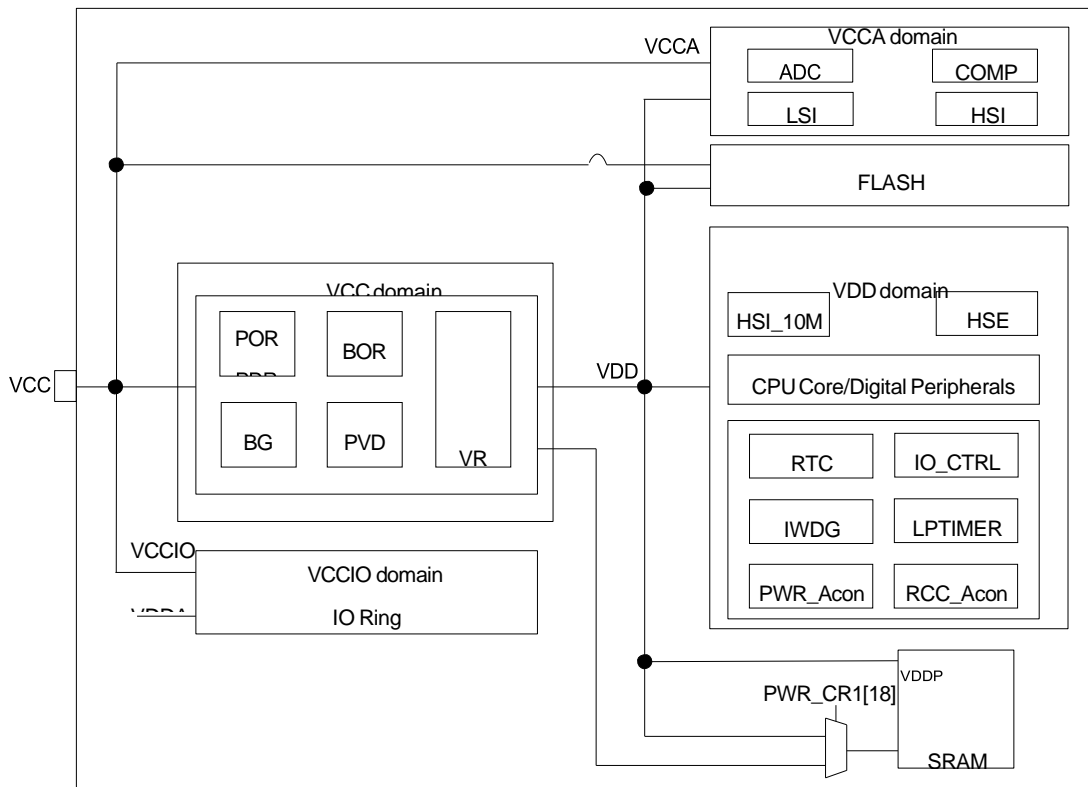


图 2-1 系统时钟结构图



10.4 电源管理

10.4.1 电源框图



电源框图

编号	电源	电源值	描述
1	VCC	1.7v~3.6v	通过电源管脚为芯片提供电源，其供电模块为：部分模拟电路。
2	VCCA	1.7v~3.6v	给大部分模拟模块供电，来自于VCCPAD（也可设计单独电源PAD）。
3	VCCIO	1.7v~3.6v	给IO 供电，来自于VCC PAD
4	VDD	1.2v/1.0v±10%	来自于VR 的输出，为芯片内部主要逻辑电路、SRAM 供电。当MR 供电时，输出1.2v。当进入stop 模式时，根据软件配置，可以由MR 或者LPR 供电，并根据软件配置决定LPR 输出是1.2v 或者1.0v。

10.4.2 电源监控

10.4.2.1 上下电复位 (POR/PDR)

芯片内设计 Power on reset (POR) /Power down reset (PDR) 模块, 为芯片提供上电和下电复位。该模块在各种模式之下都保持工作。

10.4.2.2 欠压复位 (BOR)

除了 POR/PDR 外, 还实现了 BOR (brown out reset)。BOR 仅可以通过 option byte, 进行使能和关闭操作。

当 BOR 被打开时, BOR 的阈值可以通过 Option byte 进行选择, 且上升和下降检测点都可以被单独配置。

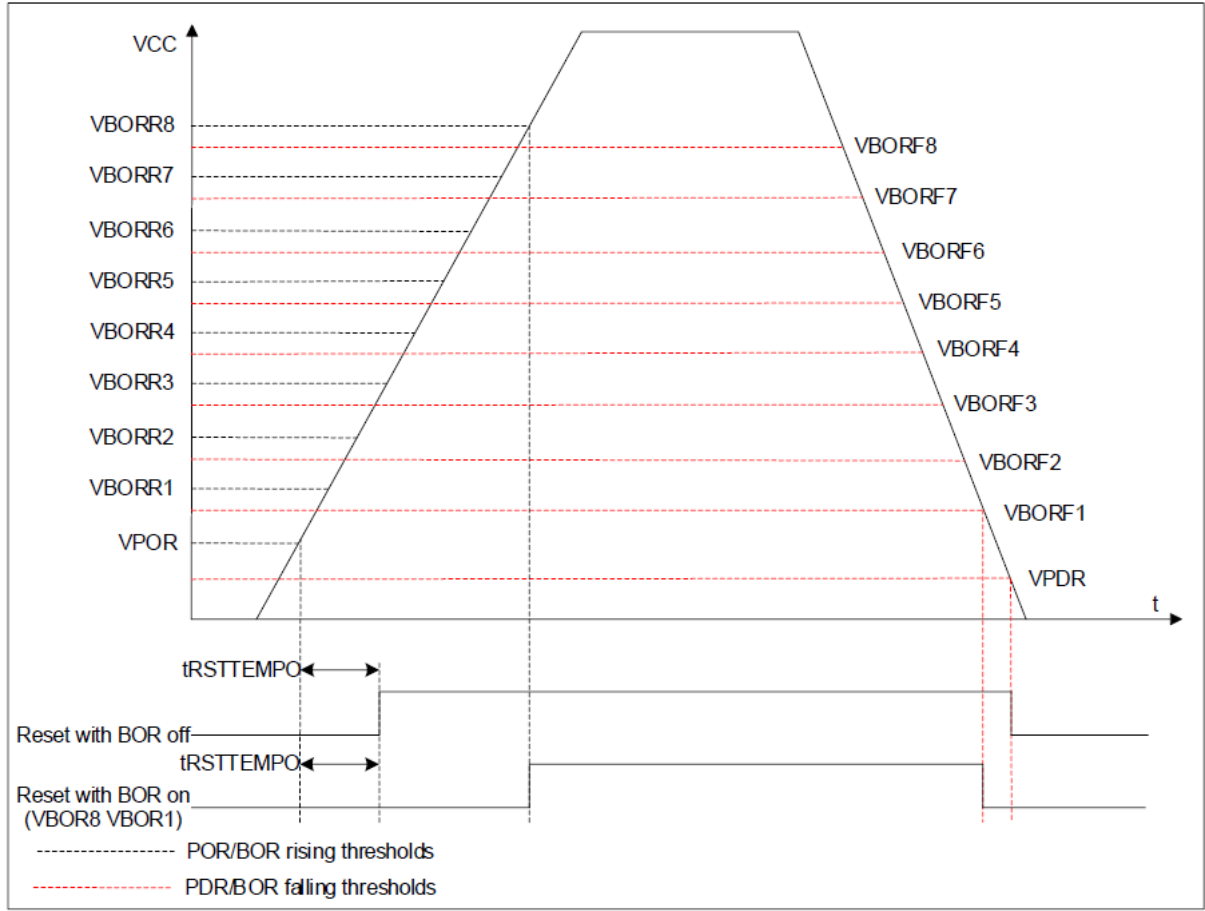


图 2-3 POR/PDR/BOR 阈值

10.4.2.3 电压检测测 (PVD)

Programmable Voltage detector (PVD) 模块可以用来检测VCC 电源（也可以检测PB7 引脚的电压），检测点可通过寄存器进行配置。当VCC 高于或者低于PVD 的检测点时，产生相应的复位标识。

该事件内部连接到EXTI 的line 16，取决于EXTI line 16 上升/下降沿配置，当VCC 上升超过PVD 的检测点，或者VCC 降低到PVD 的检测点以下，产生中断，在中断服务程序中用户可以进行紧急的shutdown 任务。



10.4.2.4 电压调节器

芯片设计两个电压调节器：

- MR (Main regulator) 在芯片正常运行状态时保持工作。
- LPR (low power regulator) 在 stop 模式下，提供更低功耗的选择。

10.4.2.5 低功耗模式

芯片在正常的运行模式之外，有 2 个低功耗模式：

- Sleep mode: CPU 时钟关闭 (NVIC, SysTick 等工作)，外设可以配置为保持工作。（建议只使能 必须工作的模块，在模块工作结束后关闭该模块）

- Stop mode: 该模式下 SRAM 和寄存器的内容保持，HSI 和 HSE 关闭，VDD 域下大部分模块的时钟 都被停掉。GPIO, PVD, COMP output, RTC 和 LPTIM 可以唤醒 stop 模式。

10.4.3 复位

芯片内设计两种复位，分别是：电源复位和系统复位。

2.6.1. 电源复位

电源复位在以下几种情况下产生：

- 上下电复位 (POR/PDR)
- 欠压复位 (BOR)

2.6.2. 系统复位

当产生以下事件时，产生系统复位：

NRST pin 的复位



- 窗口看门狗复位(WWDG)

- 独立看门狗复位(IWDG)

SYSRESETREQ 软件复位

option byte load 复位 (OBL)

电源复位 (POR/PDR、BOR)

10.4.4 通用输入输出 GPIO

每个 GPIO 都可以由软件配置为输出 (push-pull 或者 open drain) , 输入 (floating, pull-up/down, ana- log) , 外设复用功能, 锁定机制会冻结 I/O 口配置功能。

10.4.5 DMA

直接存储器存取(DMA)用来提供在外设和存储器之间或者存储器和存储器之间的高速数据传输。

DMA 控制器有 3 条 DMA 通道, 每条通道负责管理来自 1 个或者多个外设对存储器访问的请求。DMA 控制器包括处理 DMA 请求的仲裁器, 用于处理各个 DMA 请求的优先级。

DMA 支持循环的缓冲器管理, 消除了当控制器到达缓冲器末端时需要干预用户代码。每个通道都直接连接专用的硬件 DMA 请求, 每个通道都同样支持软件触发。这些功能通过软件来配置。

DMA 可用于主要外设:SPI, I2C, USART, 所有 TIMx 计时器(除了 TIM14 和 LPTIM)和 ADC。

10.4.6 中断

WL1001 通过 Cortex-M0+处理器内嵌的矢量中断控制器(NVIC)和一个扩展中断/事件控制器 (EXTI)来处理 异常。

10.4.6.1 中断控制器 NVIC

NVIC 是 Cortex-M0+处理器内部紧耦合 IP。NVIC 可以处理来自处理器外部的 NMI（不可屏蔽中断）和可屏蔽外部中断，以及 Cortex-M0+内部异常。NVIC 提供了灵活的优先级管理。

处理器核心与 NVIC 的紧密耦合大大减少了中断事件和相应中断服务例程(ISR)启动之间的延迟。

ISR 向量列在一个向量表中，存储在 NVIC 的一个基地地址。要执行的 ISR 的向量地址是由向量表基址和用作偏移量的 ISR 序号组成的。

如果高优先级的中断事件发生，而低优先级的中断事件刚好在等待响应，稍后到达的高优先级的中断事件将首先被响应。另一种优化称为尾链（tail-chaining）。当从一个高优先级的 ISR 返回时，然后启动一个挂起的低优先级的 ISR，将跳过不必要的处理器上下文的压栈和弹栈。这减少了延迟，提高了电源效率。

NVIC 特性：

- 低延时中断处理
- 4 级中断优先级
- 支持 1 个 NMI 中断
- 支持 32 个可屏蔽外部中断
- 支持 10 个 Cortex-M0+异常
- 高优先级中断可打断低优先级中断响应

支持尾链(tail-chaining)优化

- 硬件中断向量检索

10.4.6.2 扩展中断 EXTI

EXTI 增加了处理物理线事件的灵活性，并在处理器从 stop 模式唤醒时产生唤醒事件。

EXTI 控制器有多个通道，包括最多 16 个 GPIO，1 个 PVD 输出，2 个 COMP 输出，以及 RTC 和 LPTIM 唤醒信号。其中 GPIO，PVD，COMP 可以配置上升沿、下降沿或双沿触发。任何 GPIO 信号通过选择信号配置为 EXTI0~15 通道。

每个 EXTI line 都可以通过寄存器独立屏蔽。

EXTI 控制器可以捕获比内部时钟周期短的脉冲。

EXTI 控制器中的寄存器锁存每个事件，即使是在 stop 模式下，处理器从停止模式唤醒后也能识别唤醒的来源，或者识别引起中断的 GPIO 和事件。

10.4.7 模数转换器 ADC

芯片具有 1 个 12 位的 SARADC。该模块共有最多 10 个要被测量的通道，包括 8 个外部通道和 2 个内部通道。

各通道的转换模式可以设定为单次、连续、扫描、不连续模式。转换结果存储在左对齐或者右对齐的 16 位数据寄存器中。

模拟 watchdog 允许应用检测是否输入电压超出了用户定义的高或者低阈值。

ADC 实现了在低频率下运行，可获得很低的功耗。

在采样结束，转换结束，连续转换结束，模拟 watchdog 时转换电压超出阈值时产生中断请求。

10.4.8 比较器(COMP)

芯片内集成通用比较器 (general purpose comparators) COMP，也可以与 timer 组合在一起使用。比较器 可以被如下使用：

- 被模拟信号触发，产生低功耗模式唤醒功能

- 模拟信号调节

当与来自 timer 的 PWM 输出连接时，Cycle by cycle 的电流控制回路

COMP 主要特性

- 每个比较器有可配置的正或者负输入，以实现灵活的电压选择

多路 I/O pin

电源 VCC

➢ 温度传感器的输出

➢ 内部参考电压和通过分压提供的 3 个分数值 (1/4、1/2、3/4)

- 迟滞功能可配置

- 可编程的速度和功耗

- 输出可以被连接到 I/O 或者 timer 的输入作为触发

OCREF_CLR 事件 (cycle by cycle 的电流控制)

为快速 PWM shutdown 的刹车

每个 COMP 具有中断产生能力，用作芯片从低功耗模式 (sleep 和 stop 模式) 的唤醒 (通过

EXTI)

10.4.9 定时器

PY32F003 不同定时器的特性如下表所示：

表 2-3 定时器特性

类型	Timer	位宽	计数方向	预分频	DMA	捕获/比较通道	互补输出
高级定时器	TIM1	16 位	上, 下, 中央 对齐	1~65536	支持	4	3
通用定时器	TIM3	16-位	上, 下, 中央 对齐	1~65536	支持	4	-
	TIM14	16-位	上	1~65536	-	1	-
	TIM16,TIM17	16-位	上	1~65536	支持	1	1

10.4.9.1 高级定时器

高级定时器 (TIM1) 由 16 位被可编程分频器驱动的自动装载计数器组成。它可以被用作各种场景, 包括: 输入信号 (输入捕获) 的脉冲长度测量, 或者产生输出波形 (输出比较、输出、PWM、带死区插入的互补 PWM)。

TIM1 包括 4 个独立通道, 用作:

- 输入捕获
- 输出比较
- PWM 产生 (边缘或者中心对齐模式)
- 单脉冲模式输出

如果 TIM1 配置为标准的 16 位计时器, 则它具有与 TIMx 计时器相同的特性。如果配置为 16 位 PWM 发生器, 则具有全调制能力(0-100%)。

在 MCU debug 模式, TIM1 可以冻结计数。

具有相同架构的 timer 特性共享, 因此 TIM1 可以通过计时器链接功能与其他计时器一起工作,

以实现同步 或事件链接。

TIM1 支持 DMA 功能。

10.4.9.2 通用定时器

■ TIM3

TIM3 通用定时器是由 16 位可编程分频器驱动的 16 位自动重载计数器构成。具有 4 个独立的通道，每个 用于输入捕获/输出比较，PWM 或者单脉冲模式输出。

TIM3 可以通过计时器链接功能与 TIM1 一起工作. TIM3 支持 DMA 功能。

TIM3 能够处理正交(增量)编码器信号和数字输出从 1 到 3 霍尔效应传感器。在 MCU debug 模式，TIM3 可以冻结计数。

■ TIM14

通用定时器 TIM14 由可编程预分频器驱动的 16 位自动装载计数器构成。

TIM14 具有 1 个独立通道用于输入捕获/输出比较，PWM 或者单脉冲模式输出。在 MCU debug 模式，TIM14 可以冻结计数。

TIM16/TIM17

TIM16 和 TIM17 由可编程预分频器驱动的 16 位自动装载计数器构成。

TIM16/TIM17 具有 1 个独立通道用于输入捕获/输出比较，PWM 或者单脉冲模式输出。

TIM16/TIM17 具有带死区的互补输出。

TIM16/TIM17 支持 DMA 功能。

在 MCU debug 模式，TIM16/TIM17 可以冻结计数。

10.4.9.3 低功耗定时器

LPTIM 为 16 位向上计数器，包含 3 位预分频器。只支持单次计数。

LPTIM 可以配置为 stop 模式唤醒源。

在 MCU debug 模式，LPTIM 可以冻结计数值。

■ IWDG

芯片内集成了一个 Independent watchdog (简称 IWDG) , 该模块具有高安全级别、时序精确及灵活使用的特点。IWDG 发现并解决由于软件失效造成的功能混乱, 并在计数器达到指定的 timeout 值时触发系统复位。

IWDG 由 LSI 提供时钟, 这样即使主时钟 Fail, 也能保持工作。

IWDG 最适合需要 watchdog 作为主应用之外的独立过程, 并且无很高的时序准确度限制的应用。通过 option byte 的控制, 可以使能 IWDG 硬件模式。

IWDG 是 stop 模式的唤醒源, 以复位的方式唤醒 stop 模式。在 MCU debug 模式, IWDG 可以冻结计数值。

■ WWDG

系统窗口看门狗是基于一个 7 位的下行计数器, 可以设置为自由运行。当出现问题时, 它可以作为一个看门狗来复位系统。计数时钟为 APB 时钟(PCLK)。它具有预警中断能力, 计数器可以在 MCU debug 模式下被冻结。

SysTick timer

SysTick 计数器专门用于实时操作系统 (RTOS) , 但也可以用作标准的向下计数器。

SysTick 特性:

- 24bit 向下计数
- 自装载能力
- 计数器记到 0 时可产生中断 (可屏蔽)



10.4.10 实时时钟 RTC

实时时钟是一个独立的定时器。RTC 模块拥有一组连续计数的计数器，在相应软件配置下，可提供时钟日历的功能。修改计数器的值可以重新设置系统当前的时间和日期。

RTC 为预分频系数最高为 220 的 32 位可编程计数器。RTC 计数器时钟源可以为 LSI，可以作为 stop 唤醒源。RTC 可以产生闹钟中断，秒中断和溢出中断（可屏蔽）。RTC 支持时钟 calibration。

在 MCU debug 模式，RTC 可以冻结计数。

10.4.11 I2C 接口

I2C(inter-integrated circuit)总线接口连接微控制器和串行 I2C 总线。它提供多主机功能，控制所有 I2C 总线特定的顺序、协议、仲裁和时序。支持标准 (Sm)、快速 (Fm)。

I2C 特性：

Slave 和 master 模式

- 多主机功能：可以做 master，也可以做 slave

- 支持不同通讯速度

- 标准模式 (Sm)：高达 100kHz

- 快速模式 (Fm)：高达 400kHz

作为 Master

产生 Clock

Start 和 Stop 的产生

作为 slave

- 可编程的 I2C 地址检测

Stop 位的发现

- 7 位寻址模式

通用广播 (General call)

- 状态标志位

➤ 发送/接收模式标志位

➤ 字节传输完成标志位

I2C busy 标志位

- 错误标志位

Master arbitration loss

地址/数据传输后的 ACK failure

Start/Stop 错误

Overrun/Underrun(时钟拉长功能 disable)

- 可选的时钟拉长功能

具备 DMA 能力的单字节 buffer

- 软件复位

- 模拟噪声滤波功能

10.4.12 通用同步异步收发器 USART

WL1001包含2个USART, 2个功能完全一致。通用同步异步收发器(USART)提供了一种灵活的方法与使用工业标准NRZ异步串行数据格式的外部设备之

间进行全双工数据交换。USART利用分数波特率发生器提供宽范围的波特率选择。

它支持同步单向通信和半双工单线通信, 它还允许多处理器通信。支持自动波特率检测。使用多



缓冲器配置的DMA方式，可以实现高速数据通信。 USART特性：

- 全双工异步通信
- NRZ 标准格式
- 可配置 16 倍或者 8 倍过采样，增加在速度和时钟容忍度的灵活性
- 发送和接收共用的可编程波特率，最高达 4.5Mbit/s
- 自动波特率检测
- 可编程的数据长度 8 位或者 9 位
- 可配置的停止位（1 或者 2 位）
- 同步模式和为同步通讯的时钟输出功能
- 单线半双工通讯
- 独立的发送和接收使能位
- 硬件流控制
- 通过 DMA 缓冲接收/发送字节
- 检测标志
 - 接收 buffer 满
 - 发送 buffer 空
 - 传输结束
- 奇偶校验控制
 - 发送校验位
 - 对接收数据进行校验
- 带标志的中断源
 - CTS 改变
 - 发送寄存器空

- 发送完成
- 接收数据寄存器满
- 检测到总线空闲
- 溢出错误
- 帧错误
- 噪音操作
- 检测错误
- 多处理器通信
 - 如果地址不匹配，则进入静默模式
- 从静默模式唤醒：通过空闲检测和地址标志检测

10.4.13 串行外设接口 SPI

WL1001包含1个SPI。

串行外设接口(SPI)允许芯片与外部设备以半双工、全双工、单工同步的串行方式通信。此接口可以被配置 成主模式，并为外部从设备提供通信时钟(SCK)。接口还能以多主配置方式工作。

SPI特性如下：

Master 或者 slave 模式

- 3 线全双工同步传输
- 2 线半双工同步传输（有双向数据线）
- 2 线单工同步传输（无双向数据线）
- 8 位或者 16 位传输帧选择
- 支持多主模式

- 8 个主模式波特率预分频系数（最大为 $f_{PCLK}/4$ ）
- 从模式频率（最大为 $f_{PCLK}/4$ ）
- 主模式和从模式下均可以由软件或硬件进行 NSS 管理：主/从操作模式的动态改变
- 可编程的时钟极性和相位
- 可编程的数据顺序，MSB 在前或 LSB 在前
- 可触发中断的专用发送和接收标志
- SPI 总线忙状态标志

Motorola 模式

- 可引起中断的主模式故障、过载
- 2 个具备 DMA 能力的 32bit Rx 和 Tx FIFOs

11 典型应用电路

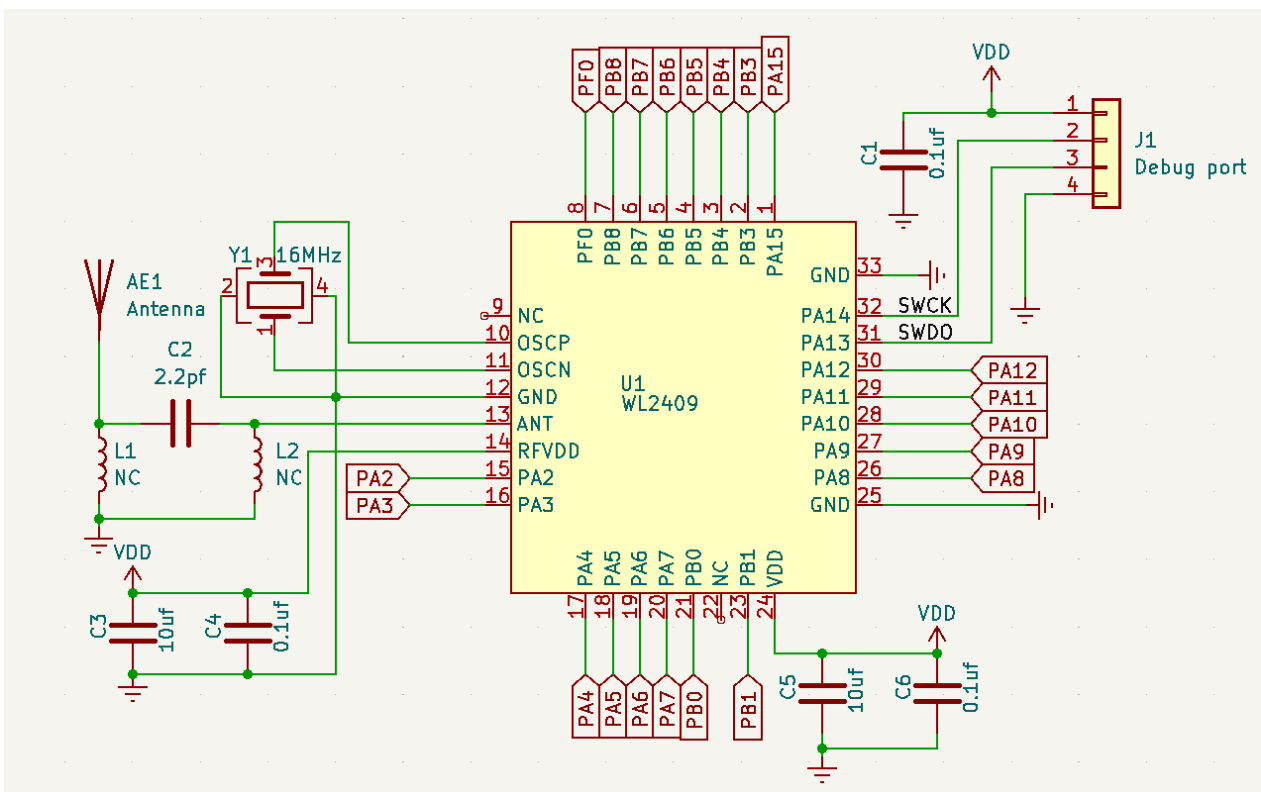
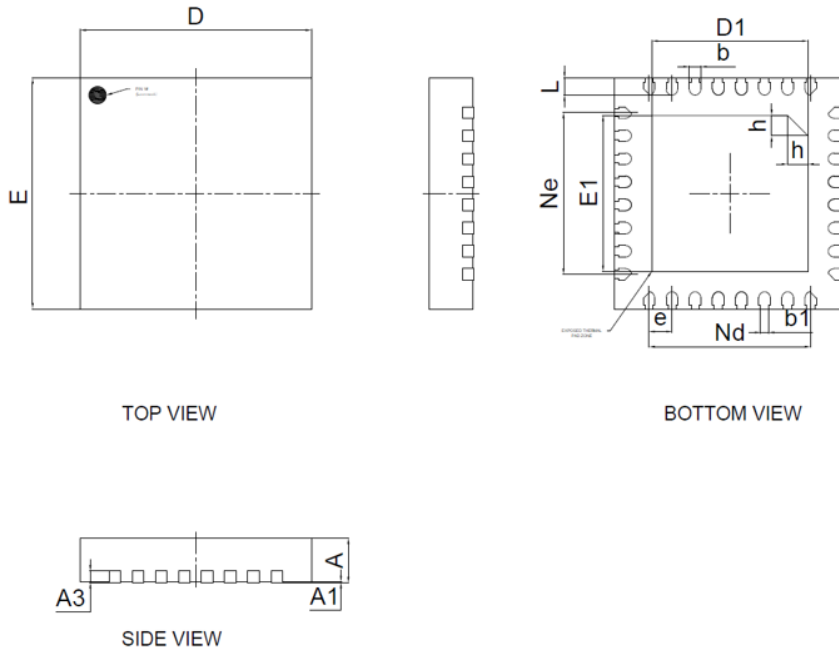


图12.1 典型应用电路



12 封装信息

QFN32 封装



COMMON DIMENSION & TOLERANCE			
SYMBOL	ALL DIMENSION IN MILLIMETERS		
	MINIMUM	MOMINAL	MAXIMUM
A	0.70	0.75	0.80
A1	0.00	0.02	0.05
b	0.15	0.20	0.25
b1	0.140REF		
c	0.18	0.20	0.25
D	3.90	4.00	4.10
D1	2.70	2.80	2.90
e	0.40BSC		
Ne	2.80BSC		
Nd	2.80BSC		
E	3.90	4.00	4.10
E1	2.70	2.80	2.90
L	0.25	0.30	0.35
h	0.30	0.35	0.40
LF载体尺寸	122X122		