

深圳市维尔乐思科技有限公司

版本号：	V1.0
编 写：	CHM
日 期：	2021/08/31

产品规格书

产品名称：WL8002

产品型号：WL8002

目录

目录.....	2
1 电路综述.....	5
1.1 概述.....	5
1.2 主要特性.....	5
2 引脚说明.....	7
2.1 引脚排列.....	7
2.2 引脚说明.....	8
3 功能框图.....	10
4 存储器结构.....	11
4.1 程序存储器结构.....	11
4.2 数据存储区结构.....	11
4.3 BANK0 页面存储器详解.....	13
4.3.1 RIND (间接地址寄存器) : BANK0 R0.....	13
4.3.2 RTC (TCC 计数器) : BANK0 R1.....	13
4.3.3 PC (程序计数器) 与堆栈: BANK0 R2.....	14
4.3.4 RCFG (状态寄存器) : BANK0 R3.....	15
4.3.5 RAS (RAM 选择寄存器) : BANK0 R4.....	16
4.3.6 P0 (端口0) : BANK0 R5.....	16
4.3.7 P1 (端口1) : BANK0 R6.....	16
4.3.8 P2 (端口2) : BANK0 R7.....	17
4.3.9 AISR (ADC 输入选择寄存器) : BANK0 R8.....	17
4.3.10 ADCR (ADC 控制寄存器) : BANK0 R9.....	17
4.3.11 ADOC (ADC 偏移校准寄存器) : BANK0 RA.....	18
4.3.12 ADCH (ADC 转换结果) : BANK0 RB.....	19
4.3.13 ADCM (ADC 转换结果) : BANK0 RC.....	19
4.3.14 ADCL (ADC 转换结果) : BANK0 RD.....	19
4.3.15 RIFG2 (中断状态2 及唤醒控制寄存器1) : BANK0 RE.....	19
4.3.16 RIFG1 (中断状态寄存器) : BANK0 RF.....	20
4.3.17 R10~R3F 通用寄存器.....	20
4.4 BANK1 页面寄存器详解.....	20
4.4.1 TBHP (查表地址高位寄存器) : BANK1 R5.....	20
4.4.2 TBLP (查表地址低位寄存器) : BANK1 R6.....	21
4.4.3 PWMCR (PWM 控制寄存器) : BANK1 R7.....	21
4.4.4 TMRCR (TMR 控制寄存器) : BANK1 R8.....	21
4.4.5 PRD1 (PWM1 周期寄存器) : BANK1 R9.....	22
4.4.6 PRD2 (PWM2 周期寄存器) : BANK1 RA.....	22
4.4.7 DT1 (PWM1 占空寄存器) : BANK1 RB.....	22
4.4.8 DT2 (PWM2 占空寄存器) : BANK1 RC.....	22

4.4.9	SFS (CMP 基准选择及IRC 校准位寄存器) : BANK1 RD.....	23
4.4.10	LVD CR (LVD 控制及唤醒控制寄存器) : BANK1 RE.....	23
4.4.11	SCR (模式选择及IRC 切换寄存器) : BANK1 RF.....	23
4.5	BANK2 页面寄存器详解.....	24
4.5.1	PWMDT (PWM DEAD TIME 控制寄存器) : BANK2 R5.....	24
4.5.2	TMR3L (TMR3 低位寄存器) : BANK2 R6.....	25
4.5.3	TMR3H (TMR3 高位寄存器) : BANK2 R7.....	25
4.5.4	TMR3CR (TMR3 控制寄存器) : BANK2 R8.....	25
4.5.5	PRD3L (PWM3 周期低位寄存器) : BANK2 R9.....	25
4.5.6	PRD3H (PWM3 高位寄存器) : BANK2 RA.....	26
4.5.7	DT3L (PWM3 占空因数低8 位寄存器) : BANK2 RB.....	26
4.5.8	DT3H (PWM3 占空因数高8 位寄存器) : BANK2 RC.....	26
4.5.9	PWMS CR (PWM3 特殊功能控制寄存器) : BANK2 RD.....	26
4.5.10	RIEN3 (PWM3 中断使能控制寄存器) : BANK2 RE.....	27
4.5.11	RIFG3 (PWM3 中断标志寄存器) : BANK2 RF.....	27
4.6	IOC0 页面寄存器详解.....	27
4.6.1	ACC (累加器)	27
4.6.2	SCT (控制寄存器)	27
4.6.3	P0CR (P0 输入/输出控制寄存器) : IOC50.....	28
4.6.4	P1CR (P1 输入/输出控制寄存器) : IOC60.....	28
4.6.5	P2CR (P2 输入/输出控制寄存器) : IOC70.....	28
4.6.6	CMPCR (比较器控制寄存器) : IOC80.....	28
4.6.7	TMR1 (TMR1 寄存器) : IOC90.....	30
4.6.8	TMR2 (TMR2 寄存器) : IOCA0.....	30
4.6.9	PDCR0 (P0 下拉控制寄存器) : IOCB0.....	30
4.6.10	ODCR1 (P1 开漏输出控制寄存器) : IOCC0.....	30
4.6.11	PHCR0 (P0 上拉控制寄存器) : IOCD0.....	30
4.6.12	WDE (WDT 控制寄存器及中断使能控制寄存器2) : IOCE0.....	30
4.6.13	RIEN1 (中断使能控制寄存器1) : IOCF0.....	31
4.7	IOC1 页面寄存器详解.....	31
4.7.1	HSCR1 (HS 控制寄存器1) : IOC51.....	32
4.7.2	HSCR2 (HS 控制寄存器2) : IOC61.....	32
4.7.3	HD CR1 (HD 控制寄存器1) : IOC71.....	32
4.7.4	HD CR2 (HD 控制寄存器2) : IOC81.....	32
4.7.5	PDCR1 (P1 下拉控制寄存器) : IOCB1.....	33
4.7.6	ODCR0 (P0 开漏控制寄存器) : IOCC1.....	33
4.7.7	PHCR2 (P2 上拉控制寄存器) : IOCD1.....	33
4.7.8	PDCR2 (P2 下拉控制寄存器) : IOCE1.....	34
4.7.9	PHCR1 (P1 上拉控制寄存器) : IOCF1.....	34
5	WL8002 主要功能模块.....	34
5.1	I/O 功能.....	34
5.1.1	P0 口概述.....	34
5.1.2	P1 口概述.....	34
5.1.3	P2 口概述.....	35

5.2	TCC/WDT 和预分频器.....	35
5.2.1	TCC 和预分频器.....	35
5.2.2	WDT 和预分频器.....	35
5.3	PWM 功能.....	35
5.3.1	功能概述.....	35
5.4	ADC 功能.....	37
5.4.1	功能概述.....	37
5.4.2	ADC 功能应用说明.....	37
5.5	比较器.....	39
5.5.1	功能概述.....	39
5.5.2	比较器应用说明.....	39
5.6	LVD（低压检测）功能.....	40
5.7	睡眠与唤醒.....	41
5.7.1	SLEEP 模式唤醒.....	41
5.7.2	IDLE 模式唤醒.....	42
5.8	中断功能.....	44
5.8.1	功能概述.....	44
5.8.2	中断功能应用说明.....	44
5.9	复位功能.....	45
5.9.1	功能概述.....	45
5.10	时钟模块.....	51
5.10.1	外部晶体振荡器/陶瓷谐振器（XTAL）.....	51
5.10.2	外部RC 振荡器模式.....	53
5.10.3	内部RC 振荡器模式.....	53
5.10.4	时钟模块应用说明.....	53
5.11	代码选项寄存器.....	53
6	WL8002 性能参数.....	55
6.1	极限参数.....	55
6.2	直流参数（T=25°C, VDD=5±5%V, GND=0V）.....	55
6.3	常温下工作电流在各电压下的变化情况.....	56
6.4	常温下睡眠电流随电压变化情况.....	57
6.5	IRC 工作频率随电压&温度变化情况.....	59
6.6	ERC 工作频率随温度变化情况.....	60
6.7	Fs 工作频率随电压&温度变化情况.....	61
6.8	输出高电平驱动电流（Vdd=5.0V）.....	61
6.9	输出低电平驱动电流（Vdd=5.0V）.....	62
6.10	WDT 溢出时间随电压 & 温度 变化情况.....	62
6.11	系统工作电压与工作频率关系.....	63
7	封装信息.....	65
8	附录.....	71

1 电路综述

1.1 概述

WL8002 是一款基于 CMOS 技术的高速度低功耗的 8 位 MCU，内置 2K*16 bit OTP ROM，并提供保护位用以保护指令码。

WL8002 是一个基于 CMOS 技术的 8 微控制器，其核心是一个嵌入式的 8 位 CPU，片内包含 80*8 bit 的 SRAM，2K*16 bit OTP ROM，18 个输入/输出口（P21 为开漏输出）、中断控制器、片内 RC 振荡器、内部晶体振荡器、定时器/计数器、看门狗电路、低压检测电路、数模转换电路、比较器/运放电路、脉宽调制电路。它是一个功能强大的微控制电路。

作为一个通用 MCU，主要应用于移动电源、高端智能充电器、电动车主控板等。

1.2 主要特性

- 2k×16-bit OTP ROM
- 80×8-bit SRAM
- 8 级堆栈空间
- 可编程 WDT 预分频器
- 可编程 WDT 时间（4.5ms、18ms），可控制 WDT 自由运行时间
- 带信号源选择、触发沿选择、溢出中断及预分频器的 8 位实时时钟/计数器（TCC）
- 工作电压范围：2.1V~5.5V（-0°C~70°C）；2.3V~5.5V（-40°C~85°C）
- 工作频率范围（2 分频）：
晶振模式：DC~16MHz，4.5V；DC~8MHz，3V；DC~4MHz，2.1V；
ERC 模式：DC~2MHz，2.1V；
IRC 模式：16MHz，4MHz，1MHz，8MHz；
- 系统高低频率的变化点是 400kHz
- 低功耗：
小于 1.5 mA（4MHz/5V）
典型 15 uA（32kHz/3V）
典型 2uA（睡眠模式，WDT 关闭，LVD 关闭）
- 内置 RC 振荡电路：16MHz、1MHz、4MHz、8MHz
- 低压复位：4.0V±0.3V、3.5V±0.3V、2.7V±0.3V @25°C
- 低压检测：4.5±0.2V、4.0±0.2V、3.3±0.2V、2.2±0.2V @25°C
- 中断源：
TCC 溢出中断（IDLE 模式唤醒）外
部中断（SLEEP/IDLE 模式唤醒）
比较器输出状态改变中断（SLEEP/IDLE 模式唤醒）
ADC 转换完成中断（SLEEP/IDLE 模式唤醒）
PWM1~3 周期中断（IDLE 模式唤醒）
PWM1~3 占空比中断（IDLE 模式唤醒）
P0 端口输入状态改变中断（SLEEP/IDLE 模式唤醒）
LVD 中断（SLEEP/IDLE 模式唤醒）
- 双向 I/O 口：
17 位可编程控制 pull-high I/OS（P1<7:0>，P0<7:0>，P20）
16 位可编程控制 open-drain I/OS（P1<7:0>，P0<7:0>）
17 位可编程控制 pull-low I/OS（P1<7:0>，P0<7:0>，P20）
14 位可编程控制 high-sink current I/OS（P1<7:0>，P0<7:6>，P0<4:1>）
- 指令周期长度选择：2/4/8/16 个振荡时钟



- 封装形式：DIP/SOP/SSOP20, DIP/SOP18, DIP/SOP66, DIP/SOP64, MSOP/SSOP60, QFN16

表1 电路封装说明

封装	20pin	18pin	16pin	14pin	10pin
DIP	WL8002AEP	WL8002BEP	WL8002CEP	WL8002DEP	--
SOP	WL8002AEO	WL8002BEO	WL8002CEO	WL8002DEO	--
SSOP	WL8002SAEO	--	--	--	WL8002SEEO
MSOP	--	--	--	--	WL8002EEO
QFN	--	--	WL8002FEQ	--	--

2 引脚说明

2.1 引脚排列

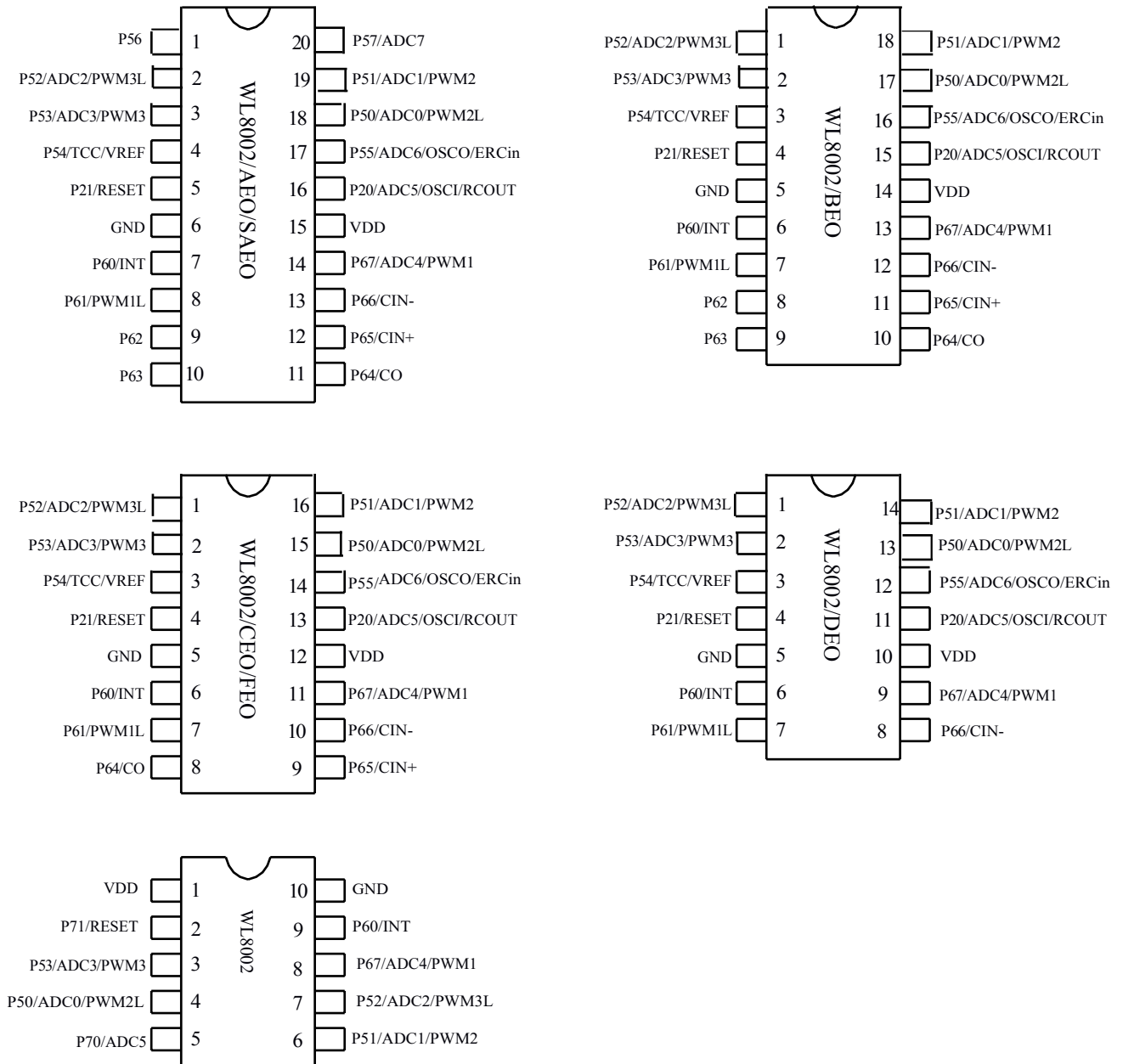


图1 引脚排列图

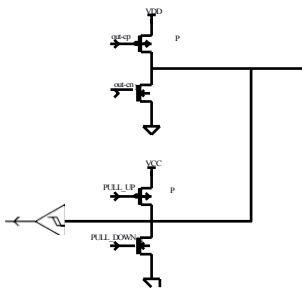
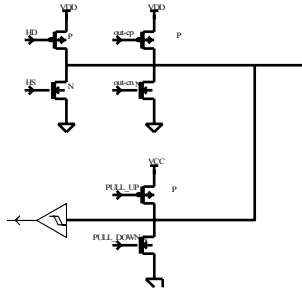
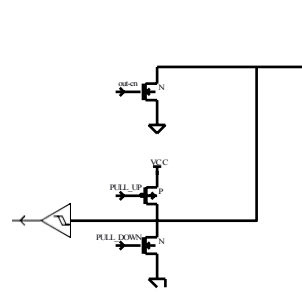
2.2 引脚

表2 引脚说明

序号	管脚名	I/O	功能描述	输入/输出电路
1	P50	I/O (上/下拉)	通用 I/O 口	图<1>
	ADC0	I (AN)	ADC INPUT 0	
	PWM2L	O	PWM2L 输出口	
2	P51	I/O (上/下拉)	通用 I/O 口	图<2>
	ADC1	I (AN)	ADC INPUT 1	
	PWM2	O	PWM2 输出口	
3	P52	I/O (上/下拉)	通用 I/O 口	图<2>
	ADC2	I (AN)	ADC INPUT 2	
	PWM3L	O	PWM3L 输出口	
4	P53	I/O (上/下拉)	通用 I/O 口	图<2>
	ADC3	I (AN)	ADC INPUT 3	
	PWM3	O	PWM3 输出口	
5	P54	I/O (上/下拉)	通用 I/O 口	图<2>
	TCC_	I (SMT)	TCC 时钟输入端口	
	VREF	I (AN)	ADC 外部基准电压	
6	P55	I/O (上/下拉)	通用 I/O 口	图<1>
	ADC6	I (AN)	ADC INPUT 6	
	OSCO	O (XTAL)	振荡器输出口	
	ERCin	I (AN)	外部 RC 输入口	
7	P56	I/O (上/下拉)	通用 I/O 口	图<2>
8	P57	I/O (上/下拉)	通用 I/O 口	图<2>
	ADC7	I (AN)	ADC INPUT 7	
9	P60	I/O (上拉)	通用 I/O 口	图<2>
	/INT	I (SMT)	外部中断输入端口	
10	P61	I/O (上拉)	通用 I/O 口	图<2>
	PWM1L	O	PWM1L 输出口	
11	P62~P63	I/O (上拉)	通用 I/O 口	图<2>
12	P64	I/O (上拉)	通用 I/O 口	图<2>
	CO	O	比较器输出口	
13	P65	I/O (上拉)	通用 I/O 口	图<2>
	CIN+	I	放大器输入“+”端	
14	P66	I/O (上拉)	通用 I/O 口	图<2>
	CIN-	I	放大器输入“-”端	
15	P67	I/O (上拉)	通用 I/O 口	图<2>
	ADC4	I (AN)	ADC INPUT 4	
	PWM1	O	PWM1 输出口	
	P20	I/O	通用 I/O 口	
	ADC5	I (AN)	ADC INPUT 5	

16	OSCI	I (XTAL)	振荡器输入口	图<1>
	RCOUT	O	RC 振荡器输出 口	

17	P21	I/O	通用 I/O 口	图<3>
	/RESET	I (SMT)	复位脚	
18	VDD	--	电源	--
19	GND	--	地	--

3 功能框图

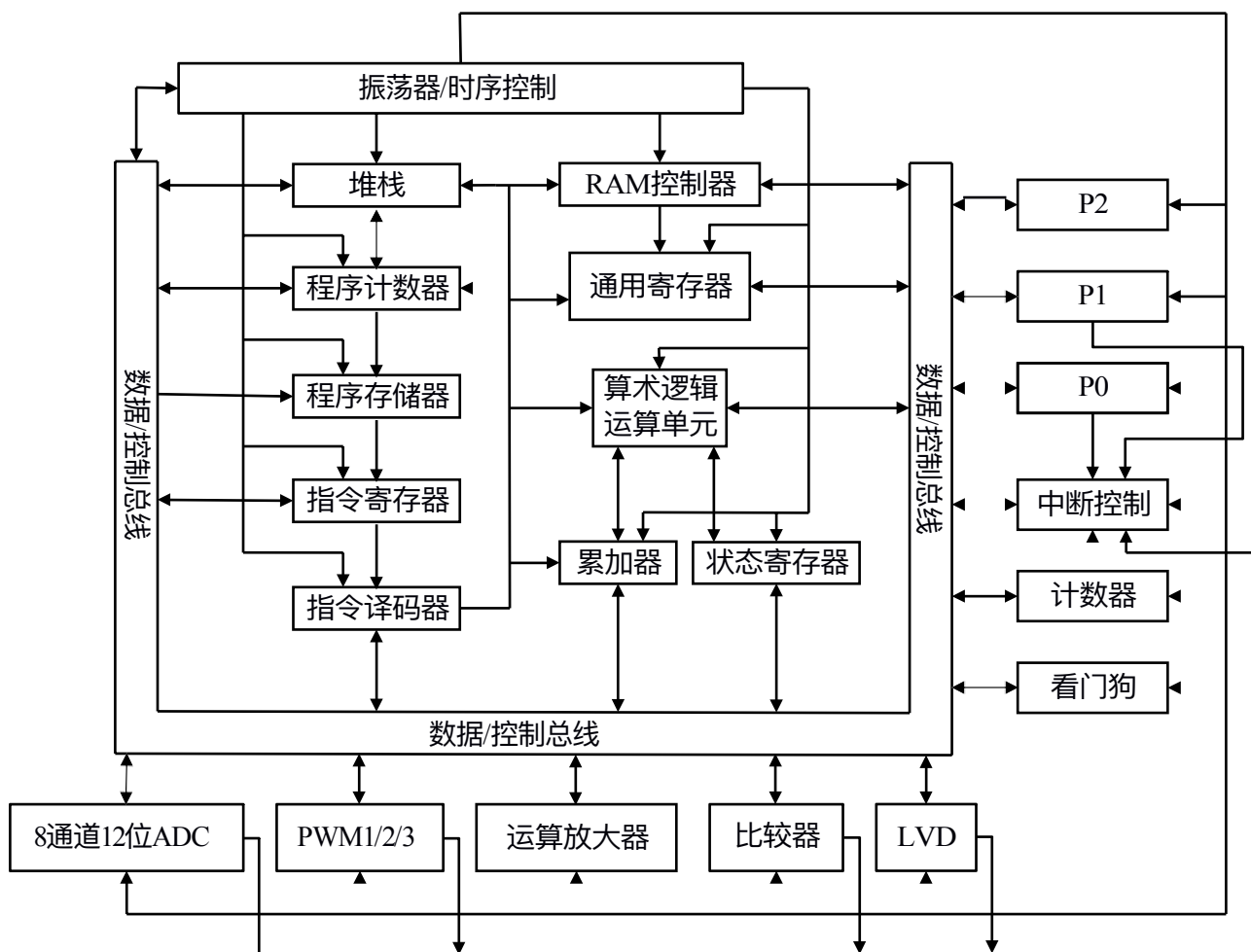


图2 WL8002 功能框图

WL8002 上电复位，各个模块实现初始化，此时 PC 指向\$000，执行复位子程序。正常工作模式下，ROM 中16 位数据经指令译码后，产生微操作信号，微操作信号和时序模块共同实现对各个模块的控制，配合实现

相应功能。所得的结果可以由微控制信号存放在数据存储器内，也可以送入累加器中，在指令需要时再进行运算。

在指令的执行过程中 PC 一般情况下会自动加“1”，下一条要执行的指令就是程序计数器指定地址的内容。有时指令执行的是转移指令（如 JSR、JMP 等）、从子程序返回、产生了中断或者重新复位，这些操作都会引起 PC 内容的变化，此时所需执行的下一条指令不再是 PC 自动加“1”时地址的内容，而是由控制信号产生的新的 PC 值处的内容。当执行子程序调用 JSR 时，PC+1 将放在堆栈中，在执行返回指令时，堆栈中的数据再进入 PC 中。

4 存储器结构

4.1 程序存储器结构

WL8002 具有一个 11 位程序计数器，能寻址 2K×16 位程序存储空间。复位向量是 000H，硬件中断向量如图3 所示。

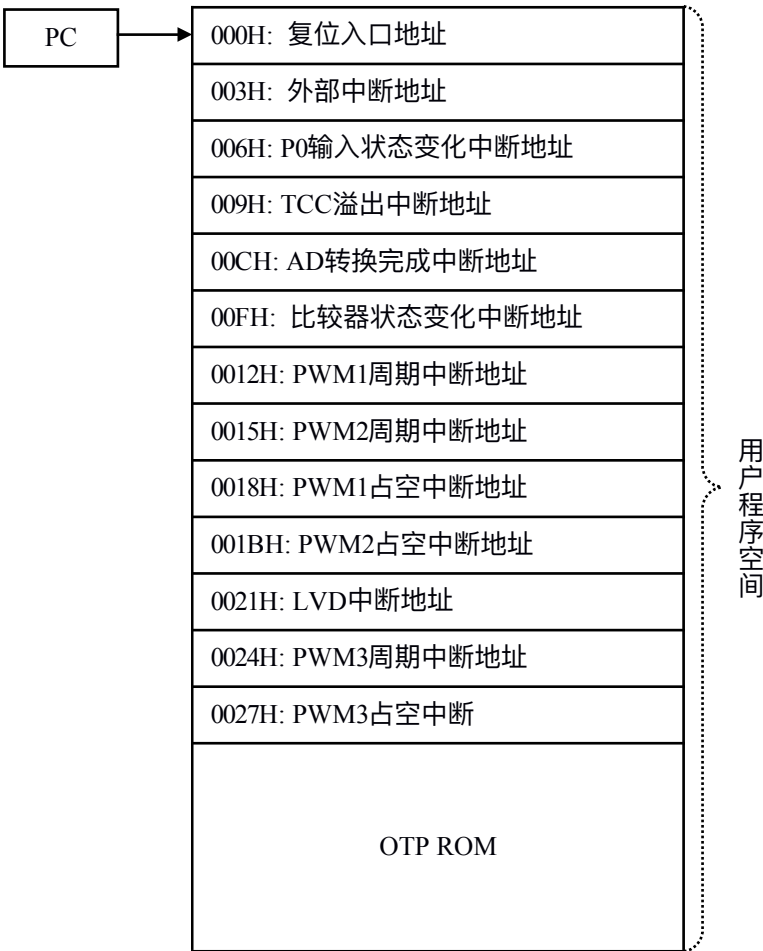


图3 WL8002 程序存储器结构

4.2 数据存储区结构

数据存储区分成 R 页面寄存器和 IOCX 页面寄存器。R 页面寄存器包括通用寄存器和特殊功能寄存器，特殊功能寄存器位于低地址单元 00H~0FH，通用寄存器地址范围为 10H~3FH。IOCX 页面寄存器只包括特殊功能寄存器，地址范围为 00H~0FH。

数据存储区结构分布如下表所示：

表3 数据存储区结构分布

地址	BANK0页面寄存器	BANK1页面寄存器	BANK2页面寄存器	IOC0页面寄存器	IOC1页面寄存器
----	------------	------------	------------	-----------	-----------

00	RIND (间接寻址寄存器)	保留	保留	保留	保留
01	RTC (TCC 计数器)	保留	保留	保留	保留
02	PCL (程序计数器)	保留	保留	SCT (控制寄存器)	保留
03	RCFG (状态寄存器)	保留	保留	保留	保留
04	RAS (RAM 选择寄存器)	保留	保留	保留	保留
05	P0 (Port0)	TBHP (查表地址高位寄存器)	PDTCR (PWM DEAD TIME 控制寄存器)	P0CR (P0 控制寄存器)	HSCR1 (HS 控制寄存器 1)
06	P1 (Port1)	TBLP (查表地址低位寄存器)	TMR3L (TMR3 低位寄存器)	P1CR (P1 控制寄存器)	HSCR2 (HS 控制寄存器 2)
07	P2 (Port2)	PWMCR (PWM 控制寄存器)	TMR3H (TMR3 高位寄存器)	P2CR (P2 控制寄存器)	HDCR1 (HD 控制寄存器 1)
08	AISR (ADC 输入选择寄存器)	TMR3CR (TMR3 控制寄存器)	TMR3CR (TMR3 控制寄存器)	CMPCR (比较器控制寄存器)	HDCR2 (HD 控制寄存器 2)
09	ADCR (ADC 控制寄存器)	PRD1 (PWM1 周期寄存器)	PRD3L (PWM3 周期低位寄存器)	TMR1 (TMR1 寄存器)	保留
0A	ADOC (ADC 偏移校准寄存器)	PRD2 (PWM2 周期寄存器)	PRD3H (PWM3 周期高位寄存器)	TMR2 (TMR2 寄存器)	CID (IP ID)
0B	ADCH (AD 转换值寄存器 AD11~AD4)	DT1 (PWM1 占空寄存器)	DT3L (PWM3 占空低位寄存器)	PDCR0 (P0 下拉控制寄存器)	PDCR1 (P1 下拉控制寄存器)
0C	ADCM (AD 转换值寄存器 AD11~AD8)	DT2 (PWM2 占空寄存器)	DT3H (PWM3 占空高位寄存器)	ODCR1 (P1 开漏输出控制寄存器)	ODCR0 (P0 开漏控制寄存器)
0D	ADCL (AD 转换值寄存器 AD7~AD0)	SFS (CMP 基准选择及 IRC 校准位寄存器)	PWMSCR (PWM 特殊功能控制寄存器)	PHCR0 (P0 上拉控制寄存器)	PHCR2 (P2 上拉控制寄存器)
0E	RIFG2 (中断状态及唤醒控制寄存器 1)	LVDCR (控制及唤醒控制寄存器 2)	RIEN3 (PWM3 中断使能控制寄存器)	WDE (WDT 控制寄存器及中断使能控制寄存器 2)	PDCR2 (P2 下拉控制寄存器)
0F	RIFG1 (中断状态寄存器 1)	SCR (模式选择及 IRC 切换寄存器)	RIFG3 (PMW3 中断标志寄存器)	RIEN1 (中断使能控制寄存器 1)	PHCR1 (P1 上拉控制寄存器)
10~1F	通用寄存器 16*8			--	--

20~3F	BANK0 32*8	BANK1 32*8	--	--
-------	---------------	---------------	----	----

4.3 BANK0 页面存储器详解

4.3.1 RIND (间接地址寄存器) : BANK0 R0

间接寻址寄存器并不是一个实际存在的寄存器，它的主要功能是作为间接寻址的指针。任何以 R0 作为指针的指令，实际对应的地址是 R4 (RAM 选择寄存器) 低6 位RAMS<5:0>所指向的数据。

4.3.2 RTC (TCC 计数器) : BANK0 R1

RTC 是一个 8 bit 上行计数器，时钟源可选内部时钟/外部时钟，计数溢出可形成中断，RTC 可读可写。

RTC 可由 EXCK 引脚上的信号边沿或系统时钟振荡周期触发产生加 1 操作（SCT.5 位定义）。如果置一 PAB 位（SCT.3），会有一个预分频器分配给 TCC。当有值被写入 RTC 寄存器，或者 SCT 寄存器的低四位发生改变时，预分频器的值会被清零。

4.3.3 PC（程序计数器）与堆栈：BANK0 R2

程序计数器（PC）是用于记录每个指令周期中 CPU 所要处理的指令的指针。在一个普通的 CPU 运行周期中，PC 将指令指针推进程序存储器，然后指针自增 1 以进入下一个周期。

堆栈是用于记录程序返回的指令指针。当调用子程序时，PC 将指令指针压栈。待执行返回指令时，堆栈将指令指针送回 PC，继续进行原来的进程。

(1) 内置 8 级堆栈是 11 位元宽，用于 2K*16 bit ROM 的寻址，具体结构见下图：



图4 程序计数器与堆栈结构图

- (2) 一般情况下，PC 自动加一；复位时，PC 的所有位都被清零；
- (3) 指令“JMP”允许直接载入低 10 位地址，因此，JMP 指令可以实现同一页面任意位置跳转；指令“LJMP”允许直接载入 11 位地址，因此 LJMP 可以实现 2K 地址内任意位置跳转；指令“JSR”载入低 10 位地址，同时将 PC+1 压栈，子程序入口地址只要在同一页面内就能够被准确定位；指令“LJSR”载入 11 位地址，同时将 PC+1 压栈，子程序入口地址在 2K 地址内就能够被准确定位；
- (4) 指令PAGE K 用来设置 RCFG.5，用来决定 JMP，JSR 指令跳转的页面（K=0 为0-1K，K=1 为1-2K）。
- (5) 除LJSR 及LJMP 指令需要两个指令周期，其它指令均是单周期指令；
- (6) “ADDR2, A”对PC 值进行改写的时会相应影响 PC 高位（A10、A9、A8 相应增加），其他指令（如“STR R2”，“SET R2,6”等）对 PC 值进行改写时 PC 高位将保持不变；

- (7) 执行“RTS”(“RTSA k”, “RTI”)指令时将栈顶数据送到 PC, 其中RTI 指令最好在中断子程序中使用, 因为如果没有进过中断的话, 执行 RTI 指令时 R4,R3,ACC 的值会出错;
- (8) 发生中断时, 程序计数器的值将指向相应中断入口地址。

4.3.4 RCFG (状态寄存器) : BANK0 R3

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RST	IOCS	ROMBKSEL	T	P	Z	DC	C

Bit7 RST: 复位类型标志位:

1: 睡眠状态唤醒, 包括 P0 口输入状态改变唤醒, 比较器输出状态变化唤醒, AD 转换完成唤醒, 低压检测唤醒, 外部中断唤醒;

0: 其它复位类型;

Bit6 IOCS: 控制寄存器页面选择位:

1: 选择IOC51~IOCF1;

0: 选择IOC50~IOCF0;

Bit5 ROMBKSEL: ROM 页面选择位:

1: 选择 1~2K;

0: 选择0~1K; Bit4

T: 暂停标志位:

1: 执行 “SLEEP” 和 “CWDT” 指令或低压复位;

0: WDT 溢出;

Bit3 P: 掉电标志位:

1: 上电复位或执行 “CWDT” 指令;

0: 执行 “SLEEP” 指令;

下表列出了 RST、T 和 P 的值, 用于检测控制器是怎样唤醒 (*P: 复位前状态):

复位类型	RST	T	P
上电	0	1	1
运行模式期间的/RESET	1	*P	*P
睡眠模式期间的/RESET	0	1	0
系统工作时低电压复位	0	*P	*P
系统睡眠时低电压复位	0	1	0
运行模式期间的 WDT 溢出	0	0	1
睡眠模式期间的 WDT 溢出	0	0	0
睡眠模式期间的引脚改变唤醒	1	1	0

下表列出可能影响 RST, T 和 P 值的事件

事件	RST	T	P
上电	0	1	1
CWDT 指令	*P	1	1
WDT 溢出	0	0	*P
SLEEP 指令	*P	1	0
睡眠模式期间的引脚改变唤醒	1	1	0

Bit2 Z: 零标志位:

1: 当算术或者逻辑运算结果为 0;

0: 当算术或者逻辑运算结果不为0;

Bit1 DC: 辅助进位标志:

1: 执行加法运算时, 低四位有进位产生; /执行减法运算时, 低四位没有产生借位;

0: 执行加法运算时, 低四位没有进位产生; /执行减法运算时, 低四位产生借位; Bit0

C: 进位标志:

1: 执行加法运算时, 高四位有进位产生; /执行减法运算时, 高四位没有产生借位;

0: 执行加法运算时, 高四位没有进位产生; /执行减法运算时, 高四位产生借位;

4.3.5 RAS (RAM 选择寄存器) : BANK0 R4

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SBANK	BANK	RAMS<5:0>					

Bit7 SBANK: 特殊寄存器 (05H~0FH) 页面选择位:

配合 SBANK_OPT (OPTION 选项) 及 ROMBKSEL (RCFG<5>)使用。

(!SBANK_OPT)&ROMBKSEL	SBANK	寄存器页面
0	0	BK0
0	1	BK1
1	0	BK2

注: 使用JMP/JSR 之前要注意R3<5>的赋值:

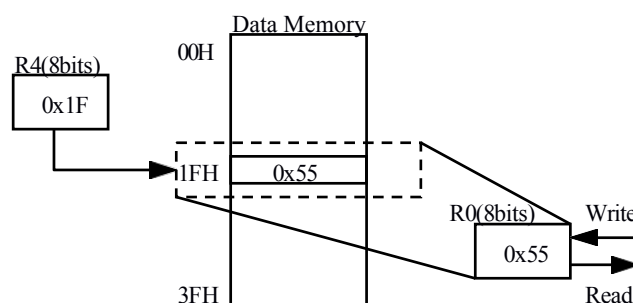
Bit6 BANK: 普通寄存器页面选择位:

1: 选择BANK1;

0: 选择BANK0;

Bit<5: 0> RAMS<5:0>: 配合 R0 实现间接寻址 (寻址范围 00H~0FH, 10H~3FH) 。

R4 用于配合 R0 实现间接寻址操作。用户可以将某个寄存器对应的地址放进 R4, 然后通过访问间接寻址寄存器 R0, 此时地址将指向 R4 中对应地址的寄存器。示意图如下



4.3.6 P0 (端口0) : BANK0 R5

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P57	P56	P55	P54	P53	P52	P51	P50

端口0 的输入/输出寄存器, WL8002 P0 端口为8 位。

P0 寄存器可读可写。

4.3.7 P1 (端口1) : BANK0 R6

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P67	P66	P65	P64	P63	P62	P61	P60

端口1 的输入/输出寄存器，CS98P373 P1 端口为8 位。
P1 寄存器可读可写。

4.3.8 P2 (端口2) : BANK0 R7

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	--	--	--	--	--	P21	P20

端口2 的输入/输出寄存器，WL8002 P2 寄存器可读可写。

4.3.9 AISR (ADC 输入选择寄存器) : BANK0 R8

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ADE7	ADE6	ADE5	ADE4	ADE3	ADE2	ADE1	ADE0

Bit 7 ADE7: 使能 P57 口作为 AD 转换
1: 使能 ADC7, P57 作为模拟输入引脚
0: 禁止 ADC7, P57 作为 I/O 口
Bit 6 ADE6: 使能 P55 口作为 AD 转换
1: 使能 ADC6, P55 作为模拟输入引脚
0: 禁止 ADC6, P55 作为 I/O 口
Bit 5 ADE5: 使能 P20 口作为 AD 转换
1: 使能 ADC5, P20 作为模拟输入引脚
0: 禁止 ADC5, P50 作为 I/O 口
Bit 4 ADE4: 使能 P67 口作为 AD 转换
1: 使能 ADC4, P67 作为模拟输入引脚
0: 禁止 ADC4, P67 作为 I/O 口
Bit 3 ADE3: 使能 P53 口作为 AD 转换
1: 使能 ADC3, P53 作为模拟输入引脚
0: 禁止 ADC3, P53 作为 I/O 口
Bit 2 ADE2: 使能 P52 口作为 AD 转换
1: 使能 ADC2, P52 作为模拟输入引脚
0: 禁止 ADC2, P52 作为 I/O 口
Bit 1 ADE1: 使能 P51 口作为 AD 转换
1: 使能 ADC1, P51 作为模拟输入引脚
0: 禁止 ADC1, P51 作为 I/O 口
Bit 0 ADE0: 使能 P50 口作为 AD 转换
1: 使能 ADC0, P50 作为模拟输入引脚
0: 禁止 ADC0, P50 作为 I/O 口

4.3.10 ADCR (ADC 控制寄存器) : BANK0 R9

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
VREFS	CKR1	CKR0	ADRUN	ADPD	ADIS2	ADIS1	ADIS0

Bit 7 VREFS: ADC 的Vref 输入源
1: ADC 的 Vref 连接到 P54/TCC/VREF
0: ADC 的Vref 连接到Vdd(默认), P54/TCC/VREF 引脚作为P54
Bit <6:5> CKR1~CKR0: ADC 振荡时钟分频比

CPUS	CKR1:CKR0	AD 运行频率	MCU 最大运行频率 VDD=2.5V~3.0V	MCU 最大运行频率 VDD=3.0V~5.5V
1	00	Fosc/16	4 MHz	16 MHz
1	01	Fosc/4	1 MHz	4 MHz
1	10	Fosc/64	16 MHz	--
1	11	Fosc	--	1 MHz
0	XX	Fosc	内部低速 RC (128KHz)	

Bit 4 ADRUN: ADC 开始运行

1: AD 转换开始。此位可以由软件置位

0: 转换完成后自动清“0”，此位不能通过软件清“0”

Bit 3 ADPD: AD 的电源

1: ADC 电源打开

0: ADC 电源关闭

Bit <2:0> ADIS2 ~ ADIS0: ADC 模拟输入通道的选择 (配合 BANK0 RA Bit0:ADICS)

ADICS	ADIS2	ADIS1	ADIS0	选择通道
0	0	0	0	ADIN0/P50
0	0	0	1	ADIN1/P51
0	0	1	0	ADIN2/P52
0	0	1	1	ADIN3/P53
0	1	0	0	ADIN4/P67
0	1	0	1	ADIN5/P20
0	1	1	0	ADIN6/P55
0	1	1	1	ADIN7/P57
1	0	X	X	OPOUT
1	1	X	X	0.25*VDD

4.3.11 ADOC (ADC 偏移校准寄存器) : BANK0 RA

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CALI	SIGN	VOF[2]	VOF[1]	VOF[0]	VREF1	VREF0	ADICS

Bit 7 CALI: AD 精度校正使能位

1: 使能校正

0: 禁止校正

Bit 6 SIGN: 校正电压的极性

1: 正极性

0: 负极性

Bit <5:3> VOF[2]~VOF[0]: 补偿电压位

VOF[2]	VOF[1]	VOF[0]	/LSB
0	0	0	0
0	0	1	2
0	1	0	4
0	1	1	6
1	0	0	8
1	0	1	10

	1	1	0	12
--	---	---	---	----

Bit <2:1> VREF1~VREF0: ADC 内部基准电压

VREF1	VREF0	内部基准电压/V
0	0	VDD
0	1	4 ± 1%
1	0	3 ± 1%
1	1	2 ± 1%

Bit 0 ADICS: ADC 输入通道选择 (配合 ADIS<2:0>选择运放输出或 0.25*VDD) : 0: 禁止
1: 使能

4.3.12 ADCH (ADC 转换结果) : BANK0 RB

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AD11	AD10	AD9	AD8	AD7	AD6	AD5	AD4
Bit<7:0> AD<11:4>: ADC 的转换值高 8 位							

4.3.13 ADCM (ADC 转换结果) : BANK0 RC

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0	0	0	0	AD11	AD10	AD9	AD8
Bit<7:4> 未使用, 保持为 0 Bit<3:0> AD<11:8>: ADC 的转换值高 4 位							

4.3.14 ADCL (ADC 转换结果) : BANK0 RD

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0
Bit<7:0> AD<7:0>: ADC 的转换值低 8 位							

4.3.15 RIFG2 (中断状态2 及唤醒控制寄存器1) : BANK0 RE

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
/LVD	LVDIF	ADIF	CMPIF	ADWE	CMPWE	ICWE	LVDWE
Bit7 /LVD: 低电压侦测器状态位, 该位为只读位。当 VDD 引脚电压小于 LVD 中断电平 (通过 LVD1 和 LVD0 位来选择) 时, 该位被清零。 1: 未检测到低电压或 LVD 功能禁止 (默认) 0: 检测到低电压 Bit6 LVDIF: LVD 状态变化中断标志位 1: 有中断形成 0: 没有中断 Bit5 ADIF: AD 转换完成中断标志位 1: 有中断形成 0: 没有中断 Bit4 CMPIF: 比较器状态变化中断标志位							

1: 有中断形成
0: 没有中断

Bit 3 ADWE: ADC 唤醒使能位
1: 使能 ADC 唤醒
0: 禁止 ADC 唤醒
当 AD 转换进入休眠/空闲模式时, 该位必须设为“使能”。

Bit 2 CMPWE: 比较器唤醒使能位1:
使能比较器唤醒
0: 禁止比较器唤醒 (默认)
当比较器进入休眠/空闲模式时, 该位必须设为“使能”。

Bit 1 ICWE: P0 输入状态改变唤醒使能位
1: 使能端口 P0 输入状态改变唤醒
0: 禁止端口 P0 输入状态改变唤醒 (默认)
当 P0 状态改变用于唤醒休眠/空闲模式时, 该位必须设为“使能”。

Bit 0 LVDWE: 低电压侦测唤醒使能位1:
使能低电压侦测唤醒
0: 禁止低电压侦测唤醒 (默认)
在低电压侦测运行情况下, 当其用于进入中断或将 IC 由休眠/空闲模式唤醒时, LVDWE 位必须设为“使能”。

4.3.16 RIFG1 (中断状态寄存器) : BANK0 RF

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	DT2IF	DT1IF	PWM2IF	PWM1IF	EXIF	ICIF	TCIF
1: 有中断形成 0: 没有中断 Bit7 未使用 Bit6 DT2IF: PWM2 占空比中断标志位 Bit5 DT1IF: PWM1 占空比中断标志位 Bit4 PWM2IF: PWM2 周期中断标志位 Bit3 PWM1IF: PWM1 周期中断标志位 Bit2 EXIF: 外部中断标志位 Bit1 ICIF: P0 口输入状态变化中断标志位 Bit0 TCIE: TCC 计数溢出中断标志位							

4.3.17 R10~R3F 通用寄存器

8 位通用寄存器, 可读可写。

4.4 BANK1 页面寄存器详解

4.4.1 TBHP (查表地址高位寄存器) : BANK1 R5

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
MLB	TAS	--	--	--	RBit10	RBit9	RBit8
Bit 7 MLB: 选择机械码的 MSB 或LSB 值移到寄存器 机械码由 TBLP 与TBHP 寄存器指向。 Bit6 TAS: 查表区域选择							

1: OPTION 区
0: ROM 区
Bit <5:3>: 未使用, 一直设为“0”。
Bit <2:0> RBit10~RBit8: 程序码的最高 3 个有效位地址。

4.4.2 TBLP (查表地址低位寄存器) : BANK1 R6

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RBit7	RBit6	RBit5	RBit4	RBit3	RBit2	RBit1	RBit0

Bit <7:0> RBit7~RBit0: 程序码的最低 8 个有效位地址

4.4.3 PWMCR (PWM 控制寄存器) : BANK1 R7

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWMCO	PWM3CO	PWM2CO	PWM1CO	PWM3E	PWMCAS	PWM2E	PWM1E

Bit7 PWMCO: 此位使能后, bit6-bit4 设置才生效
1: 所有 PWM 互补输出使能
0: 所有 PWM 互补输出禁止

Bit6 PWM3CO: PWM3L 使能位
1: PWM3 互补输出使能, P52 作为 PWM3 互补输出
0: PWM3 互补输出禁止, P52 作为GPIO

Bit5 PWM2CO: PWM2L 使能位
1: PWM2 互补输出使能, P50 作为 PWM2 互补输出
0: PWM2 互补输出禁止, P50 作为GPIO

Bit4 PWM1CO: PWM1L 使能位
1: PWM1 互补输出使能, P61 作为 PWM1 互补输出
0: PWM1 互补输出禁止, P61 作为GPIO

Bit3 PWM3E: PWM3 使能位
1: PWM3 使能, P53 作为 PWM 输出
0: PWM3 关闭, P53 作为 GPIO

Bit2 PWMCAS: PWM1 与PWM2 合并模式
1: 16 位 PWM 模式 (两个 8 位 PWM 合并)
0: 两个独立的8 位PWM (默认)

Bit1 PWM2E: PWM2 使能位
1: PWM2 打开, P51 作为 PWM 输出口
0: PWM2 关闭, P51 作为GPIO

Bit0 PWM1E: PWM1 使能位
1: PWM1 打开, P67 作为 PWM 输出口
0: PWM1 关闭, P67 作为 GPIO

4.4.4 TMRCR (TMR 控制寄存器) : BANK1 R8

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
T2EN	T1EN	T2P2	T2P1	T2P0	T1P2	T1P1	T1P0

Bit7 T2EN: TMR2 使能位
1: TMR2 打开

0: TMR2 关闭 (默认值)

Bit6 T1EN: TMR1 使能位

1: TMR1 打开

0: TMR1 关闭 (默认值)

Bit<5:3> T2P2~T2P0: TMR2 预分频比设置位

T2P2	T2P1	T2P0	Timer2 分频
0	0	0	1:1
0	0	1	1:2
0	1	0	1:4
0	1	1	1:8
1	0	0	1:16
1	0	1	1:64
1	1	0	1:128

Bit<2:0> T1P2~T1P0: TMR1 预分频比设置位

T1P2	T1P1	T1P0	Timer1 分频
0	0	0	1:1
0	0	1	1:2
0	1	1	1:4
0	1	1	1:8
1	0	0	1:16
1	0	1	1:64
1	1	0	1:128
1	1	1	1:256

4.4.5 PRD1 (PWM1 周期寄存器) : BANK1 R9

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PRD1<7>	PRD1<6>	PRD1<5>	PRD1<4>	PRD1<3>	PRD1<2>	PRD1<1>	PRD1<0>

PRD1 的内容为 PWM1 的周期 (时间基准)。PWM1 的频率为其周期的倒数

4.4.6 PRD2 (PWM2 周期寄存器) : BANK1 RA

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PRD2<7>	PRD2<6>	PRD2<5>	PRD2<4>	PRD2<3>	PRD2<2>	PRD2<1>	PRD2<0>

PRD2 的内容为 PWM2 的周期 (时间基准)。PWM2 的频率为其周期的倒数。

4.4.7 DT1 (PWM1 占空寄存器) : BANK1 RB

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DT1<7>	DT1<6>	DT1<5>	DT1<4>	DT1<3>	DT1<2>	DT1<1>	DT1<0>

PWM1 一直输出高直到 PWM1 的值和 TMR1 的值相等为止。

4.4.8 DT2 (PWM2 占空寄存器) : BANK1 RC

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DT2<7>	DT2<6>	DT2<5>	DT2<4>	DT2<3>	DT2<2>	DT2<1>	DT2<0>

PWM2 一直输出高直到 PWM2 的值和 TMR2 的值相等为止。

4.4.9 SFS (CMP 基准选择及IRC 校准位寄存器) : BANK1 RD

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CIN_SEL_VREF	CIN_SEL_P65	INCAL<5:0>					

Bit<7:6> OPTION 中cin_sel 为Enable 时有效, 否则默认选 P65:
 10: cin_plus 选择 VREF
 01: cin_plus 选择 P65
 INCAL<5:0>: IRC 校正位软件设置

4.4.10 LVDCCR (LVD 控制及唤醒控制寄存器) : BANK1 RE

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVDIE	LVDEN	LVD1	LVD0	--	--	--	EXWE

Bit 7 LVDIE: 低压检测中断使能位
 1: 使能低压检测中断
 0: 禁止低压检测中断 (默认)
 Bit 6 LVDEN: 低压检测使能位
 1: 使能低压检测
 0: 禁止低压检测 (默认)
 Bit<5:4> LVD1~LVD0: 低压检测点选择位

LVD1	LVD0	低压检测点
0	0	4.5V
0	1	4.0V
1	0	3.3V
1	1	2.2V

Bit<3:1> 未使用
 Bit0 EXWE: 外部中断唤醒使能位
 1: 使能外部中断唤醒
 0: 禁止外部中断唤醒

4.4.11 SCR (模式选择及IRC 切换寄存器) : BANK1 RF

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	TIMERSC	CPUS	IDLE	SHS1	SHS0	RCM1	RCM0

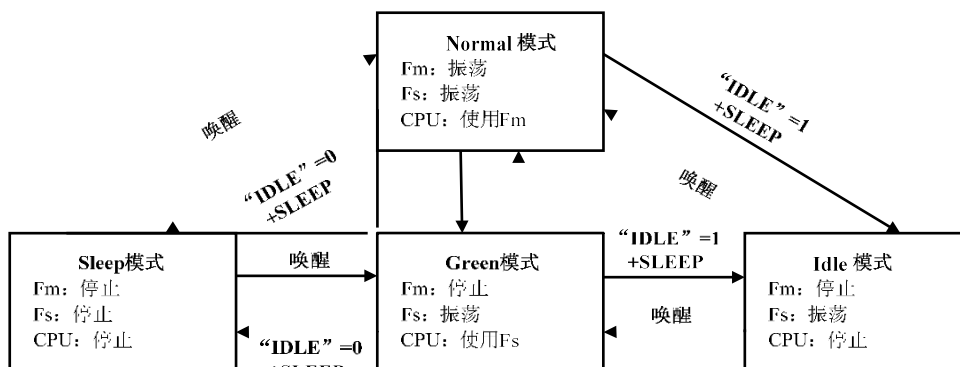
Bit7 未使用
 Bit6 TIMERSC: TCC/PWM1/PWM2 时钟源选择位
 1: 主频作为时钟源
 0: 副频作为时钟源
 Bit 5 CPUS: CPU 振荡源选择位
 1: Fm 主频 (默认)
 0: Fs 副频 (WDT 内部 RC 时基 16kHz)
 当 CPUS=0, CPU 振荡器选择副振荡器, 主振荡器停止。

Bit 4 IDLE：空闲模式使能位

该位将决定执行 SLEEP 指令后 CPU 将进入哪个工作模式

1: IDLE = '1' + SLEEP 指令 → 空闲模式

0: IDLE = '0' + SLEEP 指令 → 休眠模式 (默认)



Bit <3:2> SHS1 ~ SHS0: 选择 AD 采样和保持周期

SHS1	SHS0	AD 采样和保持周期
0	0	2
0	1	4
1	0	8

Bit<1:0> RCM1~RCM0: IRC 模式选择位

RCM1	RCM0	频率 (MHz)
0	0	1
0	1	8
1	0	16
1	1	4

4.5 BANK2 页面寄存器详解

4.5.1 PWMDT (PWM DEAD TIME 控制寄存器) : BANK2 R5

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DL_NU<3>	DL_NU<2>	DL_NU<1>	DL_NU<0>	DL_EN	--	DL_CS<1>	DL_CS<0>

Bit<7:4> DL_NU<3:0>: delay number

delay number	delay cell/ns	SYSCK delay		SYSCK/2 delay
		预分频=1:1	预分频>1:1	
0	1*3	0.5×Tosc	1×Tosc	1×Tosc/2
1	2*3	(1+0.5)×Tosc	2×Tosc	2×Tosc/2
2	3*3	(2+0.5)×Tosc	3×Tosc	3×Tosc/2
3	4*3	(3+0.5)×Tosc	4×Tosc	4×Tosc/2
4	5*3	(4+0.5)×Tosc	5×Tosc	5×Tosc/2
5	6*3	(5+0.5)×Tosc	6×Tosc	6×Tosc/2
6	7*3	(6+0.5)×Tosc	7×Tosc	7×Tosc/2
7	8*3	(7+0.5)×Tosc	8×Tosc	8×Tosc/2
8	1*3	(8+0.5)×Tosc	9×Tosc	9×Tosc/2
9	2*3	(9+0.5)×Tosc	10×Tosc	10×Tosc/2

A	3*3	$(10+0.5) \times T_{osc}$	$11 \times T_{osc}$	$11 \times T_{osc}/2$
B	4*3	$(11+0.5) \times T_{osc}$	$12 \times T_{osc}$	$12 \times T_{osc}/2$
C	5*3	$(12+0.5) \times T_{osc}$	$13 \times T_{osc}$	$13 \times T_{osc}/2$
D	6*3	$(13+0.5) \times T_{osc}$	$14 \times T_{osc}$	$14 \times T_{osc}/2$
E	7*3	$(14+0.5) \times T_{osc}$	$15 \times T_{osc}$	$15 \times T_{osc}/2$
F	8*3	$(15+0.5) \times T_{osc}$	$16 \times T_{osc}$	$16 \times T_{osc}/2$

Bit3 DL_EN: 死区调节功能使能位

1: 使能

0: 禁止

Bit<1:0> DL_CS<1:0>: 延时单元选择位

11: delay cell (3ns)

10: SYSCK/2 delay

00: SYSCK delay

4.5.2 TMR3L (TMR3 低位寄存器) : BANK2 R6

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TMR3L<7>	TMR3L<6>	TMR3L<5>	TMR3L<4>	TMR3L<3>	TMR3L<2>	TMR3L<1>	TMR3L<0>
Bit<7:0> TMR3L<7:0>: TMR3 低8 位							

4.5.3 TMR3H (TMR3 高位寄存器) : BANK2 R7

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TMR3H<7>	TMR3H<6>	TMR3H<5>	TMR3H<4>	TMR3H<3>	TMR3H<2>	TMR3H<1>	TMR3H<0>
Bit<7:0> TMR3H<7:0>: TMR3 高8 位							

4.5.4 TMR3CR (TMR3 控制寄存器) : BANK2 R8

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	--	--	PWMCAS	T3EN	T3P<2>	T3P<1>	T3P<0>
Bit<7:5> 未使用 Bit4 PWMCAS: PWM3 模式选择位 1: 16_bit 0: 8_bit Bit3 T3EN: Timer3 使能控制位 1: 使能 0: 禁止 Bit<2:0> T3P<2:0>: PWM3 预分频比设置位							
		T3P<2:0>	Timer3 分频比	T3P<2:0>	Timer3 分频比		
		000	1:1	100	1:16		
		001	1:2	101	1:64		
		010	1:4	110	1:128		
		011	1:8	111	1:256		

4.5.5 PRD3L (PWM3 周期低位寄存器) : BANK2 R9

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PRD3L<7>	PRD3L<6>	PRD3L<5>	PRD3L<4>	PRD3L<3>	PRD3L<2>	PRD3L<1>	PRD3L<0>
Bit<7:0> PRD3L <7:0>: PWM3 周期低 8 位							

4.5.6 PRD3H (PWM3 高位寄存器) : BANK2 RA

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PRD3H<7>	PRD3H<6>	PRD3H<5>	PRD3H<4>	PRD3H<3>	PRD3H<2>	PRD3H<1>	PRD3H<0>
Bit<7:0> PRD3H<7:0>: PWM 周期高 8 位							

4.5.7 DT3L (PWM3 占空因数低8 位寄存器) : BANK2 RB

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DT3L<7>	DT3L<6>	DT3L<5>	DT3L<4>	DT3L<3>	DT3L<2>	DT3L<1>	DT3L<0>
Bit<7:0> DT3L <7:0>: PWM3 占空因数低 8 位							

4.5.8 DT3H (PWM3 占空因数高8 位寄存器) : BANK2 RC

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DT3H<7>	DT3H<6>	DT3H<5>	DT3H<4>	DT3H<3>	DT3H<2>	DT3H<1>	DT3H<0>
Bit<7:0> DT3H<7:0>: PWM3 占空因数高 8 位							

4.5.9 PWMSCR (PWM3 特殊功能控制寄存器) : BANK2 RD

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INV1H	INV1L	INV2H	INV2L	INV3H	INV3L	--	PWMBRK
Bit<7> INV1H: PWM1 极性反转功能使能位 1: 使能 0: 禁止 Bit<6> INV1L: PWM1L 极性反转功能使能位 1: 使能 0: 禁止 Bit<5> INV2H: PWM2 极性反转功能使能位 1: 使能 0: 禁止 Bit<4> INV2L: PWM2L 极性反转功能使能位 1: 使能 0: 禁止 Bit<3> INV3H: PWM3 极性反转功能使能位 1: 使能 0: 禁止 Bit<2> INV3L: PWM3L 极性反转功能使能位 1: 使能 0: 禁止 Bit1 未使用 Bit0 PWMBRK: 外部中断切断 PWM 输出控制位 1: 外部中断将切断 PWM 输出							

0: 外部中断不影响 PWM 输出

4.5.10 RIEN3 (PWM3 中断使能控制寄存器) : BANK2 RE

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0	0	0	0	0	0	PWM3IE	DT3IE

Bit<7:2> 未使用, 保持为“0”

Bit1 PWM3IE: PWM3 周期中断使能控制信号

1: 使能PWM3 周期中断

0: 禁止PWM3 周期中断

Bit0 DT3IE: PWM3 占空中断使能控制信号

1: 使能PWM3 占空中断

0: 禁止PWM3 占空中断

4.5.11 RIFG3 (PWM3 中断标志寄存器) : BANK2 RF

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0	0	0	0	0	0	DT3IF	PWM3IF

Bit<7:2> 未使用, 保持为“0”

Bit1 DT3IF: PWM3 占空中断标志位

1: 有中断形成

0: 没有中断

Bit0 PWM3IF: PWM3 周期中断标志位

1: 有中断形成

0: 没有中断

4.6 IOC0 页面寄存器详解

4.6.1 ACC (累加器)

内部数据传输或指令操作数通常暂存于 ACC 中, ACC 是一个不可寻址的寄存器。

4.6.2 SCT (控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTE	INT	TS	TE	PSTE	PST2	PST1	PST0

Bit7 INTE: 外部中断信号沿选择位 1:
中断发生在外部中断信号的上升沿
0: 中断发生在外部中断信号的下降沿

Bit6 INT: 中断使能标志位

1: 由 DIT 指令或硬件中断屏蔽

0: 由 EIT 或 RTI 指令使能

Bit5 TS: TCC 时钟源选择控制位

1: 选择外部时钟 (此时 P54 作为 TCC 端口)

0: 选择内部系统时钟

Bit4 TE: 外部时钟触发沿选择控制位 1:
选择外部时钟的下降沿作为触发沿
0: 选择外部时钟的上升沿作为触发沿

Bit3 PSTE: 预分频器选择控制位

1: TCC 预分频器使能

0: TCC 预分频器禁止

Bit<2:0> PST2~PST0: 分频系数选择控制位

PST2	PST1	PST0	TCC 分频系数
0	0	0	1:2
0	0	1	1:4
0	1	0	1:8
0	1	1	1:16
1	0	0	1:32
1	0	1	1:64
1	1	0	1:128
1	1	1	1:256

4.6.3 P0CR (P0 输入/输出控制寄存器) : IOC50

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P0C<7>	P0C<6>	P0C<5>	P0C<4>	P0C<3>	P0C<2>	P0C<1>	P0C<0>
1: 对应端口设置为输入 0: 对应端口设置为输出							

4.6.4 P1CR (P1 输入/输出控制寄存器) : IOC60

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P1C<7>	P1C<6>	P1C<5>	P1C<4>	P1C<3>	P1C<2>	P1C<1>	P1C<0>
1: 对应端口设置为输入 0: 对应端口设置为输出							

4.6.5 P2CR (P2 输入/输出控制寄存器) : IOC70

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	--	--	--	--	--	P2C<1>	P2C<0>
0: 对应端口设置为输出 1: 对应端口设置为输入							

4.6.6 CMPCR (比较器控制寄存器) : IOC80

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	--	CMPOUT	COS1	COS0	--	--	--

COS1	COS0	功能描述
0	0	比较器和 OP 没有使用, P14, P15, P16 作为 IO 使用
0	1	使用比较器, P14 作为普通 IO 使用
1	0	使用比较器, P14 作为比较器的输出 (CO)
1	1	使用 OP, P14 作为 OP 的输出 (CO)

Bit<7:6> 未使用，保持为“0”

Bit5 CMPOUT：存放比较器输出结果位，只读

Bit<4:3> COS1-COS0：选择比较器或运算放大器的控制位

Bit<2:0> 未使用，保持为“0”

4.6.7 TMR1 (TMR1 寄存器) : IOC90

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TMR1<7>	TMR1<6>	TMR1<5>	TMR1<4>	TMR1<3>	TMR1<2>	TMR1<1>	TMR1<0>
PWM1 定时器							

4.6.8 TMR2 (TMR2 寄存器) : IOCA0

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TMR2<7>	TMR2<6>	TMR2<5>	TMR2<4>	TMR2<3>	TMR2<2>	TMR2<1>	TMR2<0>
PWM2 定时器							

4.6.9 PDCR0 (P0 下拉控制寄存器) : IOCB0

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
/PD0<7>	/PD0<6>	/PD0<5>	/PD0<4>	/PD0<3>	/PD0<2>	/PD0<1>	/PD0<0>
1: 对应端口下拉禁止 0: 对应端口下拉使能							

4.6.10 ODCR1 (P1 开漏输出控制寄存器) : IOCC0

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OD1<7>	OD1<6>	OD1<5>	OD1<4>	OD1<3>	OD1<2>	OD1<1>	OD1<0>
1: 对应端口开漏输出使能 0: 对应端口开漏输出禁止							

4.6.11 PHCR0 (P0 上拉控制寄存器) : IOCD0

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
/PH0<7>	/PH0<6>	/PH0<5>	/PH0<4>	/PH0<3>	/PH0<2>	/PH0<1>	/PH0<0>
1: 对应端口上拉禁止 0: 对应端口上拉使能							

4.6.12 WDE (WDT 控制寄存器及中断使能控制寄存器 2) : IOCE0

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
WDTE	EIS	ADIE	CMPIE	PSWE	PSW2	PSW1	PSW0
Bit7 WDTE: WDT 使能控制位 1: WDT 使能 0: WDT 禁用 Bit6 EIS: P1.0 管脚 (EXINT) 功能控制位 1: EXINT, 外部中断管脚 0: P1.0, 双向 I/O 管脚 Bit5 ADIE: AD 转换完成中断使能控制信号 1: 使能 0: 禁止 Bit4 CMPIE: 比较器状态变化中断使能控制信号							

1: 使能

0: 禁止

Bit3 PSWE: 预分频器选择控制位

1: WDT 预分频器使能

0: WDT 预分频器关闭

PSW<2:0>分频系数选择控制位

PSW2	PSW1	PSW0	WDT 分频系数
0	0	0	1:2
0	0	1	1:4
0	1	0	1:8
0	1	1	1:16
1	0	0	1:32
1	0	1	1:64
1	1	0	1:128
1	1	1	1:256

4.6.13 RIEN1 (中断使能控制寄存器 1) : IOCF0

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	DT2IE	DT1IE	PWM2IE	PWM1IE	EXIE	ICIE	TCIE

Bit7 未使用

Bit6 DT2IE: PWM2 占空比中断使能控制信号

1: PWM2 占空比中断使能

0: PWM2 占空比中断禁止

Bit5 DT1IE: PWM1 占空比中断使能控制信号

1: PWM1 占空比中断使能

0: PWM1 占空比中断禁止

Bit4 PWM2IE: PWM2 周期中断使能控制信号

1: PWM2 周期中断使能

0: PWM2 周期中断禁止

Bit3 PWM1IE: PWM1 周期中断使能控制信号

1: PWM1 周期中断使能

0: PWM1 周期中断禁止

Bit2 EXIE: 外部中断使能控制信号

1: 外部中断使能

0: 外部中断禁止

Bit1 ICIE: P0 口输入状态变化中断使能控制信号

1: P0 口输入状态变化中断使能

0: P0 口输入状态变化中断禁止

Bit0 TCIE: TCC 计数溢出中断使能控制信号

1: TCC 计数溢出中断使能

0: TCC 计数溢出中断禁止

4.7 IOC1 页面寄存器详解

4.7.1 HSCR1 (HS 控制寄存器 1) : IOC51

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
HS0<7>	HS0<6>	--	HS0<4>	HS0<3>	HS0<2>	HS0<1>	--
1: 对应端口输出时 HSink 电流控制使能 0: 对应端口输出时HSink 电流控制禁止 Bit7 HS0<7>: P57 输出高灌电流使能控制位 Bit6 HS0<6>: P56 输出高灌电流使能控制位 Bit5 未使用, 一直设为"0" Bit4 HS0<4>: P54 输出高灌电流使能控制位 Bit3 HS0<3>: P53 输出高灌电流使能控制位 Bit2 HS0<2>: P52 输出高灌电流使能控制位 Bit1 HS0<1>: P51 输出高灌电流使能控制位 Bit0 未使用, 一直设为"0"							

4.7.2 HSCR2 (HS 控制寄存器 2) : IOC61

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
HS1<7>	HS1<6>	HS1<5>	HS1<4>	HS1<3>	HS1<2>	HS1<1>	HS1<0>
1: 对应端口输出时 HSink 电流控制使能 0: 对应端口输出时HSink 电流控制禁止 Bit7 HS1<7>: P67 输出高灌电流使能控制位 Bit6 HS1<6>: P66 输出高灌电流使能控制位 Bit5 HS1<5>: P65 输出高灌电流使能控制位 Bit4 HS1<4>: P64 输出高灌电流使能控制位 Bit3 HS1<3>: P63 输出高灌电流使能控制位 Bit2 HS1<2>: P62 输出高灌电流使能控制位 Bit1 HS1<1>: P61 输出高灌电流使能控制位 Bit0 HS1<0>: P60 输出高灌电流使能控制位							

4.7.3 HDCR1 (HD 控制寄存器 1) : IOC71

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
HD0<7>	HD0<6>	"0"	HD0<4>	HD0<3>	HD0<2>	HD0<1>	"0"
1: 对应端口输出时 HDrive 电流控制使能 0: 对应端口输出时HDrive 电流控制禁止 Bit7 HD0<7>: P57 输出高驱动电流使能控制位 Bit6 HD0<6>: P56 输出高驱动电流使能控制位 Bit5 未使用 Bit4 HD0<4>: P54 输出高驱动电流使能控制位 Bit3 HD0<3>: P53 输出高驱动电流使能控制位 Bit2 HD0<2>: P52 输出高驱动电流使能控制位 Bit1 HD0<1>: P51 输出高驱动电流使能控制位 Bit0 未使用							

4.7.4 HDCR2 (HD 控制寄存器 2) : IOC81

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
-------	-------	-------	-------	-------	-------	-------	-------

HD1<7>	HD1<6>	HD1<5>	HD1<4>	HD1<3>	HD1<2>	HD1<1>	HD1<0>
1: 对应端口输出时 HDrive 电流控制使能 0: 对应端口输出时HDrive 电流控制禁止Bit7 HD1<7>: P67 输出高驱动电流使能控制位 Bit6 HD1<6>: P66 输出高驱动电流使能控制位 Bit5 HD1<5>: P65 输出高驱动电流使能控制位 Bit4 HD1<4>: P64 输出高驱动电流使能控制位 Bit3 HD1<3>: P63 输出高驱动电流使能控制位 Bit2 HD1<2>: P62 输出高驱动电流使能控制位 Bit1 HD1<1>: P61 输出高驱动电流使能控制位 Bit0 HD1<0>: P60 输出高驱动电流使能控制位							

4.7.5 PDCR1 (P1 下拉控制寄存器) : IOCB1

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PD1<7>	PD1<6>	PD1<5>	PD1<4>	PD1<3>	PD1<2>	PD1<1>	PD1<0>
1: 对应端口上拉禁止 0: 对应端口上拉使能 Bit7 PD1<7>: P67 端口下拉使能控制位 Bit6 PD1<6>: P66 端口下拉使能控制位 Bit5 PD1<5>: P65 端口下拉使能控制位 Bit4 PD1<4>: P64 端口下拉使能控制位 Bit3 PD1<3>: P63 端口下拉使能控制位 Bit2 PD1<2>: P62 端口下拉使能控制位 Bit1 PD1<1>: P61 端口下拉使能控制位 Bit0 PD1<0>: P60 端口下拉使能控制位							

4.7.6 ODCR0 (P0 开漏控制寄存器) : IOCC1

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OD0<7>	OD0<6>	OD0<5>	OD0<4>	OD0<3>	OD0<2>	OD0<1>	OD0<0>
1: 对应端口开漏输出使能 0: 对应端口开漏输出禁止 Bit7 OD0<7>: P57 端口开漏输出使能控制位 Bit6 OD0<6>: P56 端口开漏输出使能控制位 Bit5 OD0<5>: P55 端口开漏输出使能控制位 Bit4 OD0<4>: P54 端口开漏输出使能控制位 Bit3 OD0<3>: P53 端口开漏输出使能控制位 Bit2 OD0<2>: P52 端口开漏输出使能控制位 Bit1 OD0<1>: P51 端口开漏输出使能控制位 Bit0 OD0<0>: P50 端口开漏输出使能控制位							

4.7.7 PHCR2 (P2 上拉控制寄存器) : IOCD1

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	--	--	--	--	--	--	/PH2<0>

1: 对应端口上拉禁止
0: 对应端口上拉使能
Bit<7:1> 未使用
Bit0 PH2<0>: P20 端口上拉使能控制位

4.7.8 PDCR2 (P2 下拉控制寄存器) : IOCE1

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
--	--	--	--	--	--	--	PD2<0>

1: 对应端口下拉禁止
0: 对应端口下拉使能
Bit<7:1> 未使用
Bit0 PD2<0>: P20 端口下拉使能控制位

4.7.9 PHCR1 (P1 上拉控制寄存器) : IOCF1

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
/PH1<7>	/PH1<6>	/PH1<5>	/PH1<4>	/PH1<3>	/PH1<2>	/PH1<1>	/PH1<0>

1: 对应端口上拉关闭
0: 对应端口上拉打开
Bit7 /PH1<7>: P67 端口上拉使能控制位
Bit6 /PH1<6>: P66 端口上拉使能控制位
Bit5 /PH1<5>: P65 端口上拉使能控制位
Bit4 /PH1<4>: P64 端口上拉使能控制位
Bit3 /PH1<3>: P63 端口上拉使能控制位
Bit2 /PH1<2>: P62 端口上拉使能控制位
Bit1 /PH1<1>: P61 端口上拉使能控制位
Bit0 /PH1<0>: P60 端口上拉使能控制位

5 WL8002 主要功能模块

5.1 I/O 功能

WL8002 有 3 组双向 I/O 端口, 共 18 个输入, 18 个输出, 大部分 I/O 可以复用为其它功能。

17 个可编程上拉 I/O 引脚: P0.0~P0.7, P1.0~P1.7, P2.0

16 个可编程漏极开路 I/O 引脚: P0.0~P0.7, P1.0~P1.7

17 个可编程下拉 I/O 引脚: P0.0~P0.7, P1.0~P1.7, P2.0

5.1.1 P0 口概述

P0 是一组 8-bit 位可编程 I/O 口, COMS 推挽输出, P0 所有输入配备上下拉, 并提供开漏输出选择; 除 P0.0/P0.5 外其他输出配备 H_Drive/H_Sink 电流控制。

当作为输入端口时, 每个端口的状态变化既可以形成中断 (见 5.8.2 节), 也可以对系统进行唤醒 (见 5.7.1 节)。

5.1.2 P1 口概述

P1 口是一组 8-bit 位可编程 I/O 口, CMOS 推挽输出, P1 所有输入配备上下拉, 并且提供开漏输出选择, 所有端口配备 H_Drive/H_Sink 电流控制。P60 口还可以作为外部中断的输入端口 (见 5.8.2 节)。

5.1.3 P2 口概述

P2 口有 2 个 I/O 口 P2.1~P2.0, P2.0 口配备上下拉, CMOS 推挽输出。P2.1 口为开漏输出, 可以作为外部复位的输入端口。

5.2 TCC/WDT 和预分频器

5.2.1 TCC 和预分频器

TCC (R1)是一个 8-bit 上行计数器, 只要有时钟就工作。时钟源既可以是内部系统时钟 (上升沿触发), 也可以选择外部时钟 (由 TCC 引脚输入, 触发沿可选), 如果没有分频控制, 每个时钟 (F_m/F_s) 周期 (选择内部时钟) 或每个外打时钟周期 (外打时钟), 计数器实现加 1。

系统提供一个 8-bit 计数器作为 TCC 的预分频器。可以通过 SCT 寄存器设置 TCC 预分频、触发沿、时钟等。

TCC 计数溢出可以形成中断信号, TCC 中断设置见 5.8.2 节。

在 IDLE 模式下, TCC 中断可以唤醒电路, 具体设置见 5.7.1 节。

5.2.2 WDT 和预分频器

WDT 是一个 12-bit 上行计数器, 有两重使能控制信号控制 (OPTION 中的 ENWDT 和 IOCE 寄存器中的 WDTE 控制位)。计数时钟由单独的振荡器提供, 因此在系统进入到静态模式后, WDT 仍然可以运行 (如果使能), 在正常模式或睡眠模式下, WDT 的溢出均可以使系统复位, 复位时间由 OPTION 中的控制位 WDTPS 实现选择 4.5ms 或 18ms。

系统提供一个 8-bit 计数器作为 WDT 的分频器, 通过 WDE 寄存器设置。

5.3 PWM 功能

5.3.1 功能概述

WL8002 内置 3 个带预分频器的计数器, 用来产生脉宽调制信号, 其中 PWM1、PWM2 两个为 8-bit (可配置组合为 16-bit), PWM3 单独可配置为 8/16-bit。PWM 输出波形由周期及占空因数决定, 传输速率为周期倒数。所有 PWM 输出带有可选互补输出及死区调节功能。

PWM 基本结构图如下:

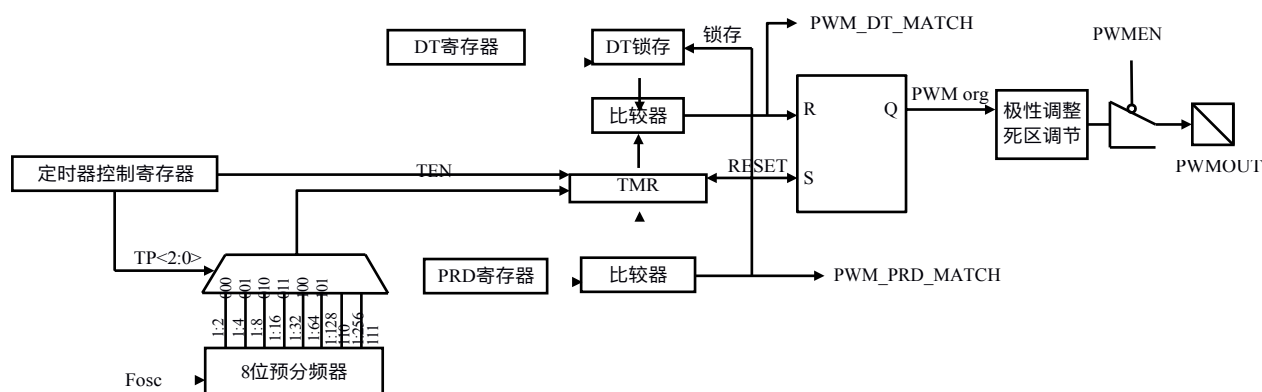


图5 PWM 功能图

两个 8-bit PWM 可以组合使用为 16-bit 的 PWM, 此时中断及唤醒的信号均与单个 PWM1 相同, 周期及占空因数的高低位则分别为 PWM2、PWM1 的设置。

PWM 功能简述:

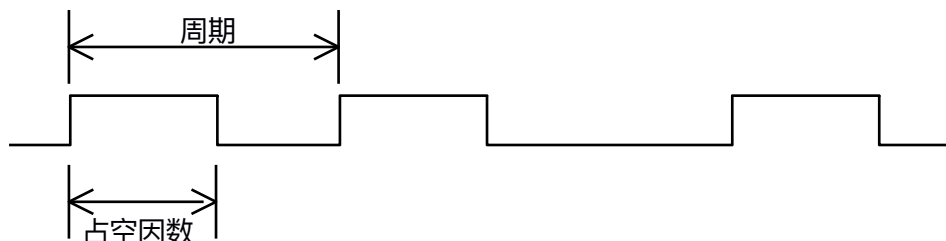
由PWM 波形的构成,可知 PWM 的主要由三部分构成: 一

一个计数器,对应图中 TMR,用于记录 PMW 运行状态;

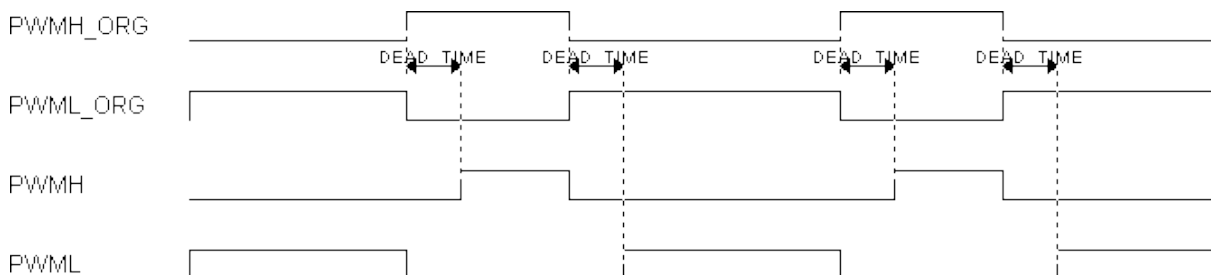
一个周期控制寄存器:对应图中 PRD,用于决定 PWM 周期;

一个占空因数控制寄存器:对应图中 DT,用于决定 PWM 占空因数。

当计数器计数到占空因数相等,输出波形将被置位低电平同时发出占空比中断请求,当计数器计数至于周期控制寄存器预设值相匹配时,输出波形被拉高,同时发出周期中断请求。其对应关系可由下图表示:



死区调节功能概述:



PWM 设置步骤:

- (1) 设置PWMCR 和TMRXCR 寄存器,选择相应的定时器为 PWM 模式、定时器的分频比(先将P0/P1数据寄存器清零,避免出现毛刺)、定时器中断类型(若使能 PWM 中断)、定时器的时钟源等;
- (2) 写PRDX (X=1/2/3)寄存器的值,确定该 PWM 通道的周期 Period;
- (3) 写DTX (X=1/2/3)寄存器的值,确定该 PWM 通道的占空因数 Duty;
- (4) 使能相应定时器;
- (5) 使能或禁止 PWM 对应的定时器中断,并下“EIT”或“DIT”指令(如果需要)
- (6) PWMX (X=1/2/3) 周期中断和占空比中断的设置见 5.8.2 节。
- (7) 在IDLE 模式下, PWMX (X=1/2/3) 周期中断和占空中断有电路唤醒功能,见 5.7.1 节。

PWM 计算公式:

1) PWM 周期

$$\text{Period} = (\text{PRDX} + 1) \times (1/\text{Fosc}) \times (\text{TMRX prescale value})$$

其中: PRDX: 周期值; Fosc: 时钟源频率; TMRX prescale value: Timerx 预分频比

例如: PRDX=249; Fosc=4MHz; TMRX=1:4; 则 $\text{Period} = (249 + 1) \times (1/4) \times 4 = 250\mu\text{s}$

2) PWM 占空比

$$\text{Duty Cycle} = \text{DTX} \times (1/\text{Fosc}) \times (\text{TMRX prescale value})$$

其中: DTX: 占空因数设置值; Fosc: 时钟源频率; TMRX prescale value: Timerx 预分频比

例如: DTX=50; Fosc=4MHz; TMRX=1:4; 则 $\text{Duty Cycle} = 50 \times (1/4) \times 4 = 50\mu\text{s}$

5.4 ADC 功能

5.4.1 功能概述

ADC 模块主要包含 8 个外部模拟信号输入通道, 2 个内部输入通道, 1 个外部参考电压输入通道, 3 个控制寄存器组 (AISR/ADCR/ADOC), 3 个数据寄存器组 (ADCH/ADCM/ADCL) 以及一个 12bit 的逐次逼近 ADC。

ADC 模块利用逐次逼近的方式将一个未知的模拟信号转换为数值，转换结果将写入 ADCH、ADCM 以及 ADCL 寄存器。输入通道的选择由 ADCR 寄存器的低三位 ADIS<2:0>决定。

这是一个 12-bit 的逐次逼近的模数转换模块 (SAR ADC)。有两个参考电压可供选择, 分别是内部参考电源电压以及外部输入参考电压 (通过 ADCR 寄存器 VREFS 及 ADOC 寄存器 VREF<1:0> 设置)。使用外部参考电压远比使用内部参考电源电压精度高。

ADC 功能框图如图 6 所示。

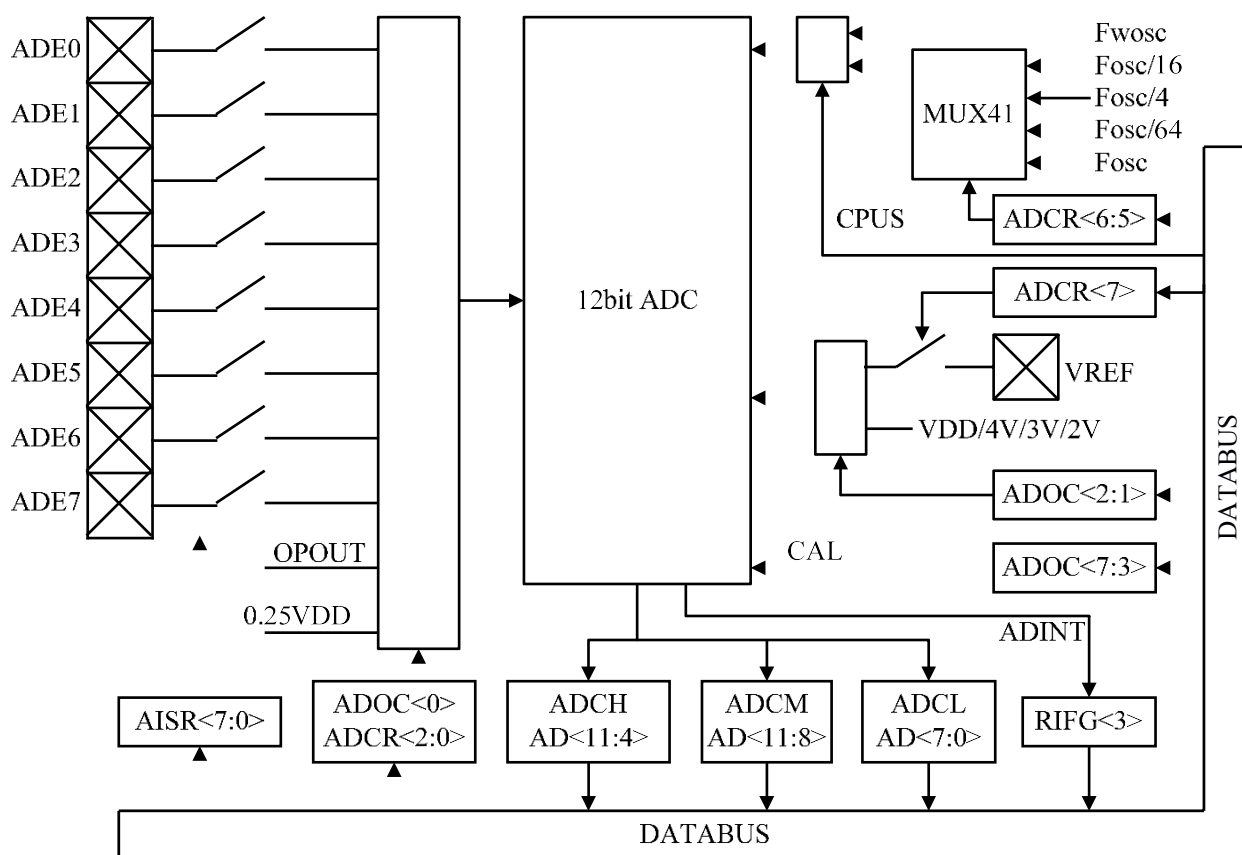


图6 ADC 功能图

5.4.2 ADC 功能应用说明

■ ADC 采样时间

输入源阻抗及内部采样电路阻抗直接影响采样保持电容的充电需求时间。应用程序可以控制采样时间来满足特定的精度要求。建议模拟信号的最大输入阻抗不超过 10k Ω (VDD=5V)。在选择模拟输入通道后, AD 转换开始之前, 采样时间必须被满足。

■ AD 转换时间

CKR<1:0>设定后能确定 TAD 进而确定 AD 转换的时间, 这样可以允许 MCU 工作在最大频率下, 同时尽可能不牺牲 AD 转换的精度。2.5V~3.0V 工作电压下, TAD 最低为 4 μ S, 3.0V~5.5V 工作电压下, TAD 最低为 1 μ S。

整个转换时间=采样保持时间 (SHS<1:0>设定) + 12*TAD (12*每个 bit 的转换时间) + ADRUN 位被置一到实际 AD 转换开始的延迟时间 (1*TAD)。

VDD=3V~5.5V (TAD=1μs)

系统工作模式	CKR<1:0>	ADC 工作频率	MCU 最高工作频率	转换时间 (SHS=11)
Normol Mode (CPUS=1)	00	Fosc/16	16M	25μs
	01	Fosc/4	4M	25μs
	10	Fosc/64	--	--
	11	Fosc/1	1M	25μs
Green Mode (CPUS=0)	xx	128K	128K	196μs

VDD=2.5V~3V (TAD=4μs)

系统工作模式	CKR<1:0>	ADC 工作频率	MCU 最高工作频率	转换时间(SHS=11)
Normol Mode (CPUS=1)	00	Fosc/16	4M	100μs
	01	Fosc/4	1M	100μs
	10	Fosc/64	16M	100μs
	11	Fosc/1	--	--
Green Mode (CPUS=0)	xx	128K	128K	196μs

■ 睡眠模式下 ADC 模块的工作：

为了获得更加精确的 ADC 转换值并且降低功耗，在睡眠模式下 ADC 模块仍然工作。如果在 AD 转换过程中执行 SLEEP 指令，所有系统动作均会停止，除了系统时钟、TCC、TMR1、TMR2、TMR3、WDT（若使能）。

AD 转换完成后：

- 1) ADCR (BANK0 R9) 寄存器的 ADRUN 位被清零；
- 2) RIFG2 (BANK0 RE) 寄存器的 ADIF 位被置“1” (ADIE 设置为 1)；
- 3) 系统被唤醒 (RIFG2 寄存器的 ADWE 位设置为 1, 且 WDT 关闭)；
- 4) 如果执行了 DIT 指令，唤醒后执行下一条指令；
- 5) 系统进入睡眠模式前，如果执行了 EIT 指令，并且 ADIE 设置为 1，唤醒后进入中断向量 (地址为 0x00C)；
- 6) 系统没有睡眠，如果执行了 EIT 指令，并且 ADIE 设置为 1，AD 转换完成后也进入中断向量 (地址为 0x00C)。

■ ADC 转换设置步骤：

- 1) 通过 AISR (BANK0 R8) 寄存器的 ADE<7:0>定义 P0 端口的端口特性 (数字输入/出、模拟信号通道、参考电压通道)；
- 2) 通过 ADCR (BANK0 R9) 寄存器设置 AD 工作模式：
 - (1) 通过 ADIS<2:0>选择 ADC 输入通道；
 - (2) 通过 CKR<1:0>定义 AD 转换时钟频率；
 - (3) 选择 ADC 参考电压；
 - (4) 通过将 ADPD 位置一让 ADC 模块开始工作；
- 3) 如果需要 AD 转换完成唤醒功能，将 ADWE 位置“1”；
- 4) 如果需要 AD 转换完成中断功能，将 ADIE 位置“1”；
- 5) 如果需要 AD 转换完成中断功能，执行 EIT 指令；
- 6) 将 ADRUN 位置“1”；
- 7) 执行 SLEEP 指令或者查询特定位；
- 8) 等待系统唤醒或者 ADRUN 位被清零、ADIF 位被置一或者 ADC 中断发生；
- 9) 读取 ADCH/ADCM/ADCL 寄存器数据，如果此时 ADC 输入通道改变，ADC 数据寄存器的值会被清零；

- 10) 将AD 转换完成中断标志位 ADIF 清零;
- 11) 如果要进行下一次 AD 转换, 重复以上步骤, 至少要等待两个 TAD 再进行下一次 AD 转换; 注: 为了获得更为精确的转换值, 在转换期间, 应当尽量避免 I/O 口上有数据传输。

■ ADC 转换精度调整:

ADC 可以通过设置 ADOC 寄存器来校准以调整转换精度, 一般可通过“0”输入转换结果来确定偏移量。确定偏移量之后, 可通过 ADOC 寄存器 VOF<2:0>设置补偿电压, SIGN 位设置正/负极性补偿, CALI 位校准使能。

5.5 比较器

5.5.1 功能概述

WL8002 内置一个比较器, 该比较器有两个模拟信号输入通道 CIN+、CIN-和一个比较结果输出 CO, 如图所示:

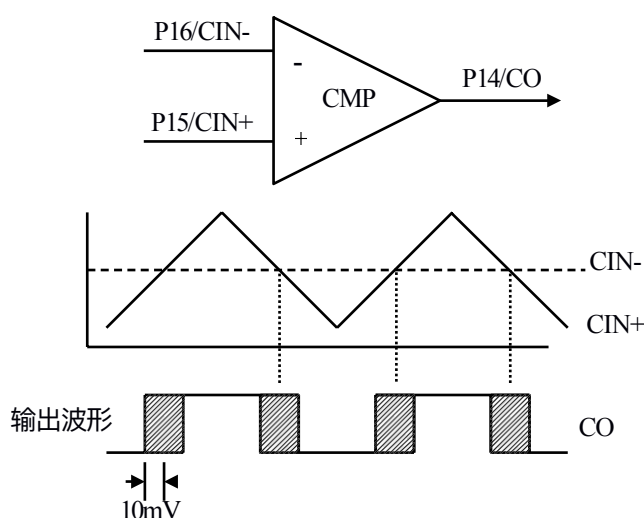


图7 比较器功能图

5.5.2 比较器应用说明

■ 外部参考电压源

WL8002 比较器可使用外部参考电压源, 使用时应当注意:

- 1) 参考电压源输入可以从 CIN+或CIN-任意一路输入。
- 2) 参考电压源输入电压必须在 GND 和VDD 之间。
- 3) 阈值检测应用时应当采用同一参考电压源。
- 4) 比较器可以工作在同一个参考电压源或不同参考电压源。

■ 比较器输出

比较器的输出被保存在CMPCR (IOC80) 寄存器的CMPOUT (bit5) 位。当CMPCR 的 COS<1:0> (bit<4:3>) 为“10”时, P64/CO 端口作为比较器输出。

■ 比较器中断

比较器也可以产生一个中断源, 具体设置见 5.8.2 节。使用该中断源时必须注意:

- 1) 比较器中断使能位 CMPIE (IOCE0.bit4) 设置为“1”, 使能比较器中断。

- 2) 当访问 CMPOUT (IOC80.bit5) 后, 比较器输出的结果被保存, 此后比较器输出如果发生变化, 就会产生中断信号。
- 3) 比较器的中断标志位 CMPIF (RE.bit4) , 只能通过软件来清零。

■ 比较器唤醒

在睡眠模式下, 如果 CMPWE (RE.bit2) 设置为“1”, 并且使能比较器功能及比较器中断, 当比较器输出发生变化时, 系统可以被比较器中断唤醒。如果不使用比较器唤醒功能, 从节约系统功耗角度考虑, 在系统进入睡眠时, 务必请关闭比较器功能。

比较器唤醒具体设置见 5.7.1 节。

■ 用比较器做 OP 放大器

通过外部反馈电阻将比较器的输出端和输入端相连接时, 比较器可以用作运算放大器。设置 COS<1:0> (CTL80.bit<4:3>) 为“11”, 比较器用作运算放大器。在运算放大器模式下, 必须注意到:

- 1) CMPIF、CMPIE、CMPWE 这些和比较器中断相关的控制位/标志位无效;
- 2) 比较器中断无效;
- 3) 比较器唤醒无效。

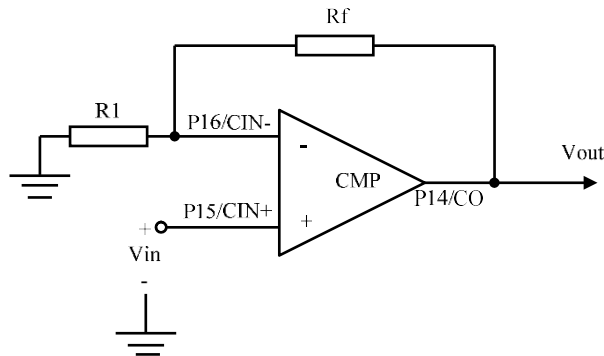


图8 比较器用作 OP

比较器输出也可以作为 ADC 的输入, 寄存器作如下设置:

ADOC.ADICS	ADCR.ADIS2	ADCR.ADIS1	ADCR.ADIS0	选择通道
1	0	X	X	OPOUT

■ 内部参考电压源

WL8002 内部提供稳定的 VREF 电压, 可通过 ADOC (BANK0 RA) 来设置 2V、3V、4V。比较器输入可选内部基准, 如图 8 所示, 其中 P65 口悬空, CMP 用作 OP, 此时 P64/CO 口输出电压即内部 VREF 电压。

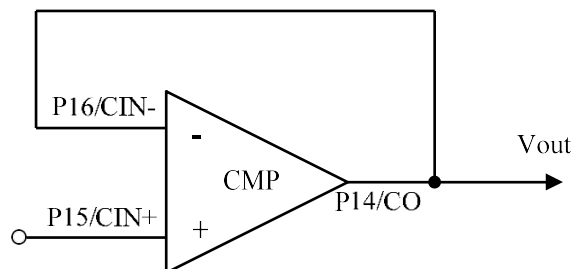


图9 比较器输入选择 VREF

5.6 LVD (低压检测) 功能

LVD 低压检测电路检测电源电压与预设电压检测点的关系。

当使能 LVD 后，LVD 模块将根据预设电压检测点设置相应影响低压标志位 LVDIF，LVDIF=1 时，标志电源电压低于检测点，LVDIF=0 时，标志电源电压高于检测点。程序可检测 LVD 标志位判断电源的稳定性。

LVD 可形成中断，用户也可以利用 LVD 的中断功能监控电压的稳定性（当检测到低压时，触发中断）。LVD 中断设置见 5.8.2 节。

LVD 模块可在睡眠模式下工作，可充当系统唤醒源（当检测到低压时，触发唤醒）。LVD 睡眠唤醒设置见 5.7.1 节。

5.7 睡眠与唤醒

5.7.1 SLEEP 模式唤醒

执行 SLEEP 指令后，系统进入睡眠模式（IDLE=0），系统时钟停止，所有模块停止工作，WDT（若使能）除外。在 AD 转换过程中如果执行 SLEEP，则系统时钟、TCC、TMR1、TMR2、TMR3、WDT（若使能）继续运行。

7 种唤醒方式：

- 1) RESET 脚输入低电平；
- 2) WDT 复位；
- 3) P0 口输入状态改变；
- 4) 比较器状态改变；
- 5) AD 转换完成；
- 6) LVD 低压检测；
- 7) 外部中断引脚唤醒。

前两种唤醒使得系统进行了一次复位，因此，终止了睡眠前的执行的所有程序；

后五种唤醒方式则保持了程序的延续性。可以通过程序选择继续原有的进程（SLEEP 前执行 DIT）或执行相应的跳转（SLEEP 前执行 EIT），并打开相应的使能控制位，跳转到中断向量的位置。

■ 如果需要执行 LVD 低压检测的唤醒方式，需要在进入睡眠模式前执行以下步骤：

- 1、打开 LVD 软件使能（LVDEN=1）
- 2、打开唤醒使能信号（LVDWE=1）
- 3、关闭 WDT 软件使能（WDTE=0）
- 4、进入睡眠模式（执行 SLEEP）

经过以上设置后，只要 LVD 检测到低压信号，系统就可以被唤醒。唤醒后需要注意：

- 1、如果睡眠前执行 EIT，并且打开 LVD 中断使能（LVDIE=1），则唤醒前将 PC 压栈，唤醒后 PC 指向 0X21，待唤醒子程序执行完毕，继续原来的进程。
- 2、如果睡眠前没有打开中断使能，则唤醒后 PC 继续睡眠前的进程

■ 如果需要执行比较器状态变化的唤醒方式，需要在进入睡眠模式前执行以下步骤：

- 1、打开比较器使能信号（COS<1:0>=10 或 01）
- 2、打开唤醒使能信号（CMPWE=1）
- 3、关闭 WDT 软件使能（WDTE=0）
- 4、读当前比较器输出状态（MOVC CMPCR）
- 5、进入睡眠模式（执行 SLEEP）

经过以上设置后，只要比较器状态发生变化，系统就可以被唤醒。唤醒后需要注意：

- 1、如果睡眠前执行 EIT，并且打开比较器中断使能（CMPIE=1），则唤醒前将 PC 压栈，唤醒后 PC 指向 0X0F，待唤醒子程序执行完毕，继续原来的进程。
- 2、如果睡眠前没有打开中断使能，则唤醒后 PC 继续睡眠前的进程

■ 如果需要执行 AD 转换完成的唤醒方式，需要在进入睡眠模式前执行以下步骤：

- 1、运行 AD（配置 ADC 并开始转换）
- 2、打开唤醒使能信号（ADWE=1）
- 3、关闭 WDT 软件使能（WDTE=0）
- 4、进入睡眠模式（执行 SLEEP）

经过以上设置后，只要 AD 转换完成（ $16 \times T_{ad}$ ），系统就可以被唤醒。唤醒后需要注意：

- 1、如果睡眠前执行 EIT，并且打开比较器中断使能（ADIE=1），则唤醒前将 PC 压栈，唤醒后 PC 指向 0X0C，待唤醒子程序执行完毕，继续原来的进程。
- 2、如果睡眠前没有打开中断使能，则唤醒后 PC 继续睡眠前的进程

■ 如果需要执行 P0 口输入状态改变的唤醒方式，需要在进入睡眠模式前执行以下步骤：

- 1、保证 P0 口是输入状态
- 2、打开唤醒使能信号（ICWE=1）
- 3、关闭 WDT 软件使能（WDTE=0）
- 4、读 P0 口（MOVR P0）
- 5、进入睡眠模式（执行 SLEEP）

经过以上设置后，只要 P0 口的输入状态发生改变，系统就可以被唤醒。唤醒后需要注意：

- 1、如果睡眠前执行的是 EIT，则唤醒前将 PC 压栈，唤醒后 PC 指向 0X06，待唤醒子程序执行完毕，继续原来的进程。
- 2、如果睡眠前没有打开中断使能，则唤醒后 PC 继续睡眠前的进程

■ 如果需要执行外部中断的唤醒方式，需要在进入睡眠模式前执行以下步骤：

- 1、选择 P1.0 作为外部中断引脚（EIS=1）
- 2、打开唤醒使能信号（EXWE=1）
- 3、关闭 WDT 软件使能（WDTE=0）
- 4、进入睡眠模式（执行 SLEEP）

经过以上设置后，只要 P1.0 有上升/下降沿来临并且满足持续时间要求，系统就可以被唤醒。唤醒后需要注意：

- 1、如果睡眠前执行 EIT，并且打开外部中断使能（EXIE=1），则唤醒前将 PC 压栈，唤醒后 PC 指向 0X03，待唤醒子程序执行完毕，继续原来的进程。
- 2、如果睡眠前没有打开中断使能，则唤醒后 PC 继续睡眠前的进程

5.7.2 IDLE 模式唤醒

执行 SLEEP 指令后，系统进入 IDLE 模式（IDLE=1），系统主频时钟停止，副频时钟继续工作，WDT（若使能）继续工作。在 AD 转换过程中如果执行 SLEEP，则系统时钟、TCC、TMR1、TMR2、TMR3、WDT（若使能）继续运行。

14 种唤醒方式：

在睡眠模式唤醒方式的基础上，增加了 7 种方式（新增的 7 种方式必须打开相应中断使能）：

- 1) TCC 溢出中断唤醒，
- 2) PWMX (X=1/2/3) 周期/占空比中断唤醒。

■ 如果需要执行 TCC 溢出中断的唤醒方式，需要在进入 IDLE 模式前执行以下步骤：

- 1、配置好 TCC 后，打开 TCC 溢出中断使能
- 2、关闭 WDT 软件使能（WDTE=0）
- 3、进入 IDLE 模式（IDLE=1，执行 SLEEP）

经过以上设置后，只要 TCC 计数器溢出，系统就可以被唤醒。唤醒后需要注意：

- 1、如果睡眠前执行 EIT，则唤醒前将 PC 压栈，唤醒后 PC 指向 0X09，待唤醒子程序执行完毕，继续原来的进程。
- 2、如果睡眠没有打开全局中断使能，则唤醒后 PC 继续睡眠前的进程

■ 如果需要执行 PWM(X=1/2/3) 周期/占空比中断的唤醒方式，需要在进入 IDLE 模式前执行以下步骤：

- 1、打开 PWMX 软件使能、PWMX 计数使能以及相关中断使能
- 2、关闭 WDT 软件使能 (WDTE=0)
- 3、进入 IDLE 模式 (IDLE=1, 执行 SLEEP)

经过以上设置后，只要 PWMX 上升沿（周期中断）/下降沿（占空比中断）到来，系统就可以被唤醒。唤醒后需要注意：

- 1、如果睡眠前执行 EIT，则唤醒前将 PC 压栈，唤醒后 PC 指向相应中断地址，待唤醒子程序执行完毕，继续原来的进程。
- 2、如果睡眠没有打开全局中断使能，则唤醒后 PC 继续睡眠前的进程

表4 SLEEP/IDLE 模式下唤醒信号

唤醒信号	SLEEP 模式		IDLE 模式	
	EIT	DIT	EIT	DIT
/RESET 复位	唤醒+复位	唤醒+复位	唤醒+复位	唤醒+复位
WDT 溢出	唤醒+复位	唤醒+复位	唤醒+复位	唤醒+复位
P0 端口 输入状态改变	唤醒 + 中断→下一条指令	唤醒 + 下一条指令	唤醒 + 中断→下一条指令	唤醒 + 下一条指令
比较器中断	唤醒 + 中断→下一条指令	唤醒 + 下一条指令	唤醒 + 中断→下一条指令	唤醒 + 下一条指令
AD 转换完成	唤醒 + 中断→下一条指令	唤醒 + 下一条指令	唤醒 + 中断→下一条指令	唤醒 + 下一条指令
LVD 中断	唤醒 + 中断→下一条指令	唤醒 + 下一条指令	唤醒 + 中断→下一条指令	唤醒 + 下一条指令
外部中断	唤醒 + 中断→下一条指令	唤醒 + 下一条指令	唤醒 + 中断→下一条指令	唤醒 + 下一条指令
TCC 中断	唤醒无效	唤醒无效	唤醒 + 中断→下一条指令	唤醒 + 下一条指令
PWM1 周期 / 占空比中 断	唤醒无效	唤醒无效	唤醒 + 中断→下一条指令	唤醒 + 下一条指令
PWM2 周期 / 占空比中 断	唤醒无效	唤醒无效	唤醒 + 中断→下一条指令	唤醒 + 下一条指令

PWM3 周期 / 占空比中 断	唤醒无效	唤醒无效	唤醒 + 中断→下一条指令	唤醒 + 下一条指令
------------------------	------	------	---------------------	------------------

唤醒时间：系统有多种时钟供选择，考虑时钟性能的差异，起振时间也不同，不同的时钟源，选择不同的唤醒时间，保证系统能够在唤醒后能够正常工作。

表5 唤醒建立时间比较

类型	XT (LXT2 除外)	LXT2	IRC	ERC
CPUS=1	256+255 Fm	255 Fm	WKCK=1, 8 Fm WKCK=0, 32 Fm	8 Fm
CPUS=0	8 Fs	8 Fs	8 Fs	8 Fs

5.8 中断功能

5.8.1 功能概述

WL8002 有以下 12 种硬件中断，

- 1) 外部中断 (P60 口)
- 2) P0 口输入状态变化中断
- 3) TCC 计数器计数溢出中断
- 4) AD 转换完成中断
- 5) 比较器状态变化中断
- 6) PWM1 周期中断
- 7) PWM2 周期中断
- 8) PWM1 占空比中断
- 9) PWM2 占空比中断
- 10) PWM3 周期中断
- 11) PWM3 占空比中断
- 12) LVD 中断

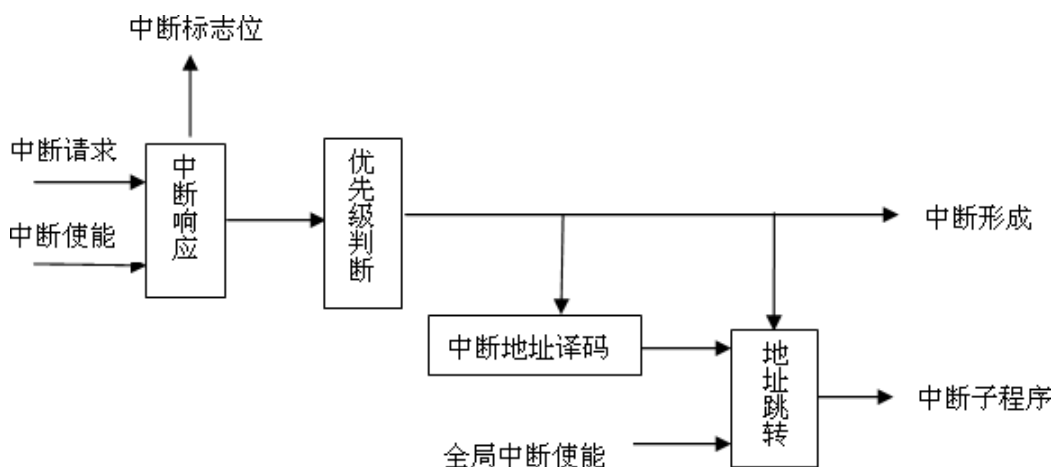


图10 中断原理图

5.8.2 中断功能应用说明

- (i) 执行中断前，务必打开对应中断类型的使能信号；

- (2) 如果需要执行中断跳转, 则需要在中断前执行 EIT 命令, 否则执行 DIT 命令, 中断形成后仍继续原来的进程;
- (3) 执行外部中断时, 要打开外部中断通道 (EIS=1, 此 bit 置1 时务必确保 INT 脚有固定状态, INT 脚出现沿变化需在此 bit 为1 之后), 此时 P60 口的状态仍然可以通过指令读取, 只有在 P60 口上有上升/下降沿 (INTE=0/1) 出现时, 中断才会形成;
配置 Option:
NRHL (0: 8*fc/1: 32*fc), 外部中断引脚 P60 高/低电平变化后持续时间须达到配置值才能被认作外部信号而不是噪声或干扰。
NRE : 滤波电路控制 (0: disable/1: enable), always disable in LXT2/sleep_MD
- (4) 执行 TCC 溢出中断时, 配置好 TCC 后, 打开 TCC 溢出中断使能, TCC 溢出就会形成中断;
- (5) 当需要执行 P0 口输入状态变化形成的中断时, 端口必须设置为输入状态, 务必对端口进行一次读操作 (MOVR P0), 全局使能命令 (EIT/DIT) 要先于打开中断使能信号 (ICIE) 执行。当端口输入状态变化时, 便可以形成中断; 中断形成后, 相应的中断标志位被设置为 1, 可以通过访问中断状态寄存器, 来判断中断的类型;
- (6) 执行 PWM 周期中断时, 打开 PWMX 软件使能、PWMX 计数使能以及 PWMXIE 中断使能 (PWMXIE=1), 当 PWM 脉冲上升沿来临时, 会形成 PWM 周期中断;
- (7) 执行 PWM 占空比中断时, 打开 PWMX 软件使能、PWMX 计数使能以及 DTXIE 中断使能 (PWMXIE=1), 当 PWM 脉冲下降沿来临时, 会形成 PWM 占空比中断;
- (8) 执行 LVD 中断时, 打开 LVD 软件使能 (LVDEN=1) 和 LVD 中断使能 (LVDIE=1), 当 LVD 状态变化时, 便形成 LVD 中断;
- (9) ADC 转换完成中断, 配置好 ADC 后, 打开 ADC 转换完成中断使能, 开始 AD 转换, 转换完成就会形成中断;
- (10) 执行比较器中断时, 需设置 IOC80 寄存器 (COS<1:0>=01 或 10) 使能比较器, 在打开比较器状态变化中断使能之前要先读一下比较器当前输出结果 (在 IOC0 页面执行 MOVC CMPCR), 然后打开比较器状态变化中断使能 (CMPIE=1), 当比较器状态发生变化时, 便形成中断。

WL8002 各中断源的中断向量如下表所示:

表6 中断源及其中断向量

中断向量	中断源	中断优先级
003H	外部中断 (P60 口)	2
006H	P0 口输入状态变化中断	3
009H	TCC 计数器计数溢出中断	4
00CH	AD 转换完成中断	5
00FH	比较器状态变化中断	6
012H	PWM1 周期中断	7
015H	PWM2 周期中断	8
018H	PWM1 占空比中断	9
01BH	PWM2 占空比中断	10
024H	PWM3 周期中断	11
027H	PWM3 占空比中断	12
021H	LVD 中断	1

5.9 复位功能

5.9.1 功能概述

系统提供 4 种复位方式

- 1) 上电复位
- 2) 低压复位
- 3) RESET 脚输入低电平
- 4) WDT 溢出

后两种复位方式的复位时间在唤醒部分已经给出，第一种复位时间由 OPTION 中的 SUT 选择决定，如下表所示：

唤醒，复位后寄存器状态一览表

名称	类型	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
SC T	位名	INTE	INT	TS	TE	PSTE	PST2	PST1	PST0
	复位	1	0	1	1	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
P0CR	位名	P0C<7>	P0C<6>	P0C<5>	P0C<4>	P0C<3>	P0C<2>	P0C<1>	P0C<0>
	复位	1	1	1	1	1	1	1	1
	唤醒	P	P	P	P	P	P	P	P
P1CR	位名	P1C<7>	P1C<6>	P1C<5>	P1C<4>	P1C<3>	P1C<2>	P1C<1>	P1C<0>
	复位	1	1	1	1	1	1	1	1
	唤醒	P	P	P	P	P	P	P	P
P2CR	位名	--	--	--	--	--	--	P2C<1>	P2C<0>
	复位	0	0	0	0	0	0	1	1
	唤醒	P	P	P	P	P	P	P	P
CMPCR	位名	--	--	CMPOUT	COS1	COS0	--	--	--
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
TMR1	位名	TMR1<7>	TMR1<6>	TMR1<5>	TMR1<4>	TMR1<3>	TMR1<2>	TMR1<1>	TMR1<0>
	复位	0	0	0	0	0	0	0	1
	唤醒	P	P	P	P	P	P	P	P
TMR2	位名	TMR2<7>	TMR2<6>	TMR2<5>	TMR2<4>	TMR2<3>	TMR2<2>	TMR2<1>	TMR2<0>
	复位	0	0	0	0	0	0	0	1
	唤醒	P	P	P	P	P	P	P	P
PDCR0	位名	/PD0<7>	/PD0<6>	/PD0<5>	/PD0<4>	/PD0<3>	/PD0<2>	/PD0<1>	/PD0<0>
	复位	1	1	1	1	1	1	1	1
	唤醒	P	P	P	P	P	P	P	P
ODCR1	位名	OD1<7>	OD1<6>	OD1<5>	OD1<4>	OD1<3>	OD1<2>	OD1<1>	OD1<0>
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
PHCR0	位名	/PH0<7>	/PH0<6>	/PH0<5>	/PH0<4>	/PH0<3>	/PH0<2>	/PH0<1>	/PH0<0>
	复位	1	1	1	1	1	1	1	1
	唤醒	P	P	P	P	P	P	P	P
WD E	位名	WDTE	EIS	ADIE	CMPIE	PSWE	PSW2	PSW1	PSW0
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
RIEN1	位名	--	DT2IE	DT1IE	PWM2IE	PWM1IE	EXIE	ICIE	TCIE

	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
HSCR1	位名	HS0<7>	HS0<6>	--	HS0<4>	HS0<3>	HS0<2>	HS0<1>	--
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
HSCR2	位名	HS1<7>	HS1<6>	HS1<5>	HS1<4>	HS1<3>	HS1<2>	HS1<1>	HS1<0>
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
HDCR1	位名	HD0<7>	HD0<6>	--	HD0<4>	HD0<3>	HD0<2>	HD0<1>	--
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
HDCR2	位名	HD1<7>	HD1<6>	HD1<5>	HD1<4>	HD1<3>	HD1<2>	HD1<1>	HD1<0>
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
PDCR1	位名	PD1<7>	PD1<6>	PD1<5>	PD1<4>	PD1<3>	PD1<2>	PD1<1>	PD1<0>
	复位	1	1	1	1	1	1	1	1
	唤醒	P	P	P	P	P	P	P	P
ODCR0	位名	OD0<7>	OD0<6>	OD0<5>	OD0<4>	OD0<3>	OD0<2>	OD0<1>	OD0<0>
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
PHCR2	位名	--	--	--	--	--	--	--	PH2<0>
	复位	0	0	0	0	0	0	0	1
	唤醒	P	P	P	P	P	P	P	P
PDCR2	位名	--	--	--	--	--	--	--	PD2<0>
	复位	0	0	0	0	0	0	0	1
	唤醒	P	P	P	P	P	P	P	P
PHCR1	位名	/PH1<7>	/PH1<6>	/PH1<5>	/PH1<4>	/PH1<3>	/PH1<2>	/PH1<1>	/PH1<0>
	复位	1	1	1	1	1	1	1	1
	唤醒	P	P	P	P	P	P	P	P
RT C	位名	TCC<7>	TCC<6>	TCC<5>	TCC<4>	TCC<3>	TCC<2>	TCC<1>	TCC<0>
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
PC L	位名	PC<7>	PC<6>	PC<5>	PC<4>	PC<3>	PC<2>	PC<1>	PC<0>
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
	唤醒 跳转	X	X	X	X	X	X	X	X
RCFG	位名	RST	IOCS	ROMBK SEL	T	P	Z	DC	C
	复位	0	0	0	t	t	U	U	U
	唤醒	1	P	P	t	t	P	P	P
RA S	位名	SBANK	BS0	--	--	--	--	--	--
	复位	0	0	U	U	U	U	U	U
	唤醒	P	P	P	P	P	P	P	P

P0	位名	P57	P56	P55	P54	P53	P52	P51	P50
	复位	1	1	1	1	1	1	1	1
	唤醒	P	P	P	P	P	P	P	P
P1	位名	P67	P66	P65	P64	P63	P62	P61	P60
	复位	1	1	1	1	1	1	1	1
	唤醒	P	P	P	P	P	P	P	P
P2	位名	--	--	--	--	--	--	P21	P20
	复位	0	0	0	0	0	0	1	1
	唤醒	P	P	P	P	P	P	P	P
AISR	位名	ADE7	ADE6	ADE5	ADE4	ADE3	ADE2	ADE1	ADE0
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
ADCR	位名	VREFS	CKR1	CKR0	ADRUN	ADPD	ADIS2	ADIS1	ADIS0
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
ADOC	位名	CALI	SIGN	VOF[2]	VOF[1]	VOF[0]	VREF1	VREF0	ADICS
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
AREH	位名	AD11	AD10	AD9	AD8	AD7	AD6	AD5	AD4
	复位	U	U	U	U	U	U	U	U
	唤醒	P	P	P	P	P	P	P	P
AREM	位名	--	--	--	--	AD11	AD10	AD9	AD8
	复位	0	0	0	0	U	U	U	U
	唤醒	P	P	P	P	P	P	P	P
AREL	位名	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0
	复位	U	U	U	U	U	U	U	U
	唤醒	P	P	P	P	P	P	P	P
RIFG2	位名	/LVD	LVDIF	ADIF	CMPIF	ADWE	CMPWE	ICWE	LVDWE
	复位	1	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
RIFG1	位名	--	DT2IF	DT1IF	PWM2IF	PWM1IF	EXIF	ICIF	TCIF
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
TBHP	位名	MLB	OPT_RDE N (TBRD)	--	--	RBit11	RBit10	RBit9	RBit8
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
TBLP	位名	RBit7	RBit6	RBit5	RBit4	RBit3	RBit2	RBit1	RBit0
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
PWMCR	位名	PWMCO	PWM3C O	PWM2C O	PWM1C O	PWM3E	PWMCA S	PWM2E	PWM1E
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P

TMRCR	位名	T2EN	T1EN	T2P2	T2P1	T2P0	T1P2	T1P1	T1P0
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
PRD1	位名	PRD1<7>	PRD1<6>	PRD1<5>	PRD1<4>	PRD1<3>	PRD1<2>	PRD1<1>	PRD1<0>
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
PRD2	位名	PRD2<7>	PRD2<6>	PRD2<5>	PRD2<4>	PRD2<3>	PRD2<2>	PRD2<1>	PRD2<0>
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
DT 1	位名	DT1<7>	DT1<6>	DT1<5>	DT1<4>	DT1<3>	DT1<2>	DT1<1>	DT1<0>
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
DT 2	位名	DT2<7>	DT2<6>	DT2<5>	DT2<4>	DT2<3>	DT2<2>	DT2<1>	DT2<0>
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
SFS	位名	CIN_SEL - VREF	CIN_SEL - P65	IRC_CAL <5>	IRC_CAL <4>	IRC_CAL <3>	IRC_CAL <2>	IRC_CAL <1>	IRC_CAL <0>
	复位	1	1	U	U	U	U	U	U
	唤醒	P	P	P	P	P	P	P	P
LVDCR	位名	LVDIE	LVDEN	LVD1	LVD0	--	--	--	EXWE
	复位	0	0	1	1	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
SC R	位名	--	TIMERS C	CPUS	IDLE	SHS1	SHS0	RCM1	RCM0
	复位	0	1	1	0	1	1	WORD1< 6>	WORD1< 5>
	唤醒	P	P	P	P	P	P	P	P
PDTCR	位名	DL_NU< 3>	DL_NU<2 >	DL_NU< 1>	DL_NU<0 >	DL_EN	--	DL_CS<1 >	DL_CS<0 >
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
TMR3L	位名	TMR3L< 7>	TMR3L<6 >	TMR3L< 5>	TMR3L<4 >	TMR3L< 3>	TMR3L<2 >	TMR3L< 1>	TMR3L< 0>
	复位	0	0	0	0	0	0	0	1
	唤醒	P	P	P	P	P	P	P	P
TMR3H	位名	TMR3H< 7>	TMR3H<6 >	TMR3H< 5>	TMR3H<4 >	TMR3H< 3>	TMR3H<2 >	TMR3H< 1>	TMR3H< 0>
	复位	0	0	0	0	0	0	0	1
	唤醒	P	P	P	P	P	P	P	P
TMR3CO N	位名	--	--	--	PWM3CA S	T3EN	T3P2	T2P1	T3P0
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
	位名	PRD3L<7	PRD3L<6	PRD3L<5	PRD3L<4	PRD3L<3	PRD3L<2	PRD3L<1	PRD3L<0

PRD3L		>	>	>	>	>	>	>	>
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
PRD3H	位名	PRD3H<7	PRD3H<6	PRD3H<5	PRD3H<4	PRD3H<3	PRD3H<2	PRD3H<1	PRD3H<0
		>	>	>	>	>	>	>	>
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P

DT3L	位名	DT3L<7>	DT3L<6>	DT3L<5>	DT3L<4>	DT3L<3>	DT3L<2>	DT3L<1>	DT3L<0>
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
DT3H	位名	DT3H<7>	DT3H<6>	DT3H<5>	DT3H<4>	DT3H<3>	DT3H<2>	DT3H<1>	DT3H<0>
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
PWMSCON	位名	INV1H	INV1L	INV2H	INV2L	INV3H	INV3L	--	PWMBRK
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
PWM3RIEN	位名	--	--	--	--	--	--	PWM3IE	DT3IE
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
PWM3RIFG	位名	--	--	--	--	--	--	DT3IF	PWM3IF
	复位	0	0	0	0	0	0	0	0
	唤醒	P	P	P	P	P	P	P	P
R10~R3F	位名	--	--	--	--	--	--	--	--
	复位	U	U	U	U	U	U	U	U
	唤醒	P	P	P	P	P	P	P	P

说明:

- 1、P 代表先前原有的状态, U 代表未知状态,
- 2、t 值参见 RCFG 寄存器说明。
- 3、PCL 在中断跳转时为中断地址;在唤醒时为栈顶地址。

5.10 时钟模块

WL8002 内部集成了 7 种振荡器, 可以通过 option 实现相应配置。具体参看下表:

表7 内部振荡器说明

序号	振荡器类型	说明
1	ERC (外接电阻振荡器)	P55:ERCIN; P20:GPIO
	ERC (外接电阻振荡器)	P55:ERCIN; P20:RCOUT
2	IRC (内置 RC 振荡器)	可以通过 RCM 选择 1M/16M/4M/8M P55:GPIO; P20:GPIO
	IRC (内置 RC 振荡器)	可以通过 RCM 选择 1M/16M/4M/8M P55:GPIO; P20:RCOUT
3	LXT1 (低速晶振)	100K~1M
4	HXT1 (高速晶振)	12M~16M
5	LXT2 (低速晶振)	32.768KHz
6	HXT2 (高速晶振)	6M~12M
7	XT (晶振)	1M~6M

说明: HXT 和 LXT 之间的系统频率过度点在 400kHz 左右。

5.10.1 外部晶体振荡器/陶瓷谐振器 (XTAL)

在大多数应用中, 引脚 OSC0 和 OSC1 上可接晶体或陶瓷谐振器来产生振荡, 电路图如下, 不论是 HXT 还是 LXT 模式都适用。表中为 C1、C2 的推荐值。由于各个谐振器特性不同, 用户应参照其规格选择 C1、C2 的合适值。

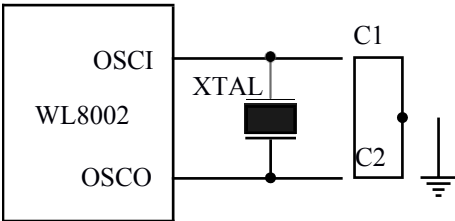


图11 晶体/振荡器电路

晶体振荡器或陶瓷振荡器的电容选择参考：

振荡器模式	频率模式	频率	C1 (pF)	C2 (pF)
陶瓷振荡器	LXT1 (100K~1M)	100 KHz	60	60
		200 KHz	60	60
		455 KHz	40	40
		1 MHz	30	30
	XT (1M~6M)	1 MHz	30	30
		2 KHz	30	30
		4 KHz	20	20
晶体振荡器	LXT2 (32.768K)	32.768 KHz	40	40
	LXT1 (100K~1M)	100 KHz	60	60
		200 KHz	60	60
		455 KHz	40	40
		1 MHz	30	30
	XT (1M~6M)	1 MHz	30	30
		2 MHz	30	30
		4 MHz	20	20
		6 MHz	30	30
	HXT2 (6M~12M)	6 MHz	30	30
		8 MHz	20	20
		12 MHz	30	30
	HXT1 (12M~16M)	12 MHz	30	30
		16 MHz	20	20

注：以上数据仅供参考，一切以实物测试为准。

WL8002 还可被 OSCI 引脚上的外部时钟信号驱动，其应用图如下：

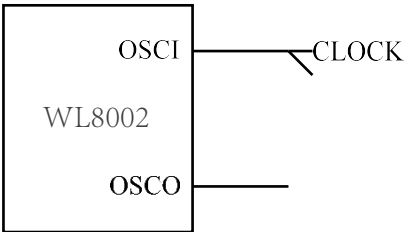


图12 外打时钟示意图

5.10.2 外部RC 振荡器模式

在一些对时钟精度要求不高的场合应用中, 使用 RC 振荡器可以节省部分费用, 尽管如此, 还是应该注意到, RC 振荡器的频率与电压, 电阻值(Rext), 电容值(Cext), 甚至工作温度均有关, 并且各芯片之间由于生产工艺差别, 频率也会发生细微变化。

RC 振荡器的电阻值越小, 频率越高。另一方面, 对于很小的电阻值, 例如 1k 欧姆, 由于 NMOS 不能将电容放电, 振荡器将变得不稳定, 为了获得稳定的系统频率, 电容值不能小于 20pF, 电阻值不能大于1M欧。如果它们不在该范围之内, 频率将很容易受噪声、湿度及漏电的影响。

电源电压、工作温度、RC 振荡器部件、封装形式及 PCB 布线方式都会影响系统频率。

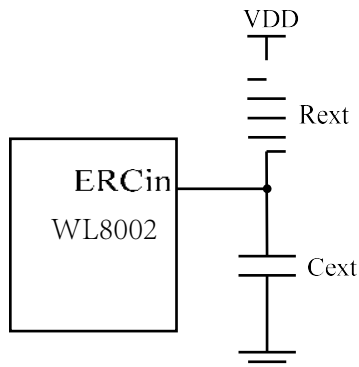


图13 外部RC 振荡器模式电路

RC 振荡器频率参考表如下所示: (以下数据为仿真数据, 仅供设计参考)

Rext	Cext	频率
5.1K	100p	427.2KHz
	200p	254.4KHz
	300p	189.4KHz

5.10.3 内部RC 振荡器模式

WL8002 提供内部 RC 模式, 频率默认值为 4MHz。

内部RC 振荡模式还有其它频率值如16MHz, 8MHz 和1MHz。通过设置OPTION 的Firc 位, 可选择IRC工作频率, 下面是它们的对应关系:

Firc	IRC 频率
4 M	IRC 频率选为 4MHz
16 M	IRC 频率选为 16MHz
8 M	IRC 频率选为 8MHz
1 M	IRC 频率选为 1MHz

5.10.4 时钟模块应用说明

- 1) 内部振荡器是最常用的振荡模式, 该模式可以省去外接的电路;
- 2) 在使用外打时钟输入时, 时钟信号要从 OSCI 输入, OSCO 可以悬空;
- 3) 使用外部振荡器并且大于 400kHz 时一定要在烧写程序时的 OPTION 选项中选外部高速振荡器, 小于 400kHz 时选外部低速振荡器;
- 4) 外界条件不同, 各振荡模式的时钟频率可能会有轻微差别, 使用时应根据需要合理选择。

5.11 代码选项寄存器

Write Option	选项	功能描述
VDD	HIGH	IRC 频率在 VDD=5V 下校准
	LOW	IRC 频率在 VDD=3V 下校准

Code Option	选项	功能描述
WKCK	8 Fosc	系统时钟预热时间选择 8Fosc
	32 Fosc	系统时钟预热时间选择 32Fosc (默认)
P21DEF	as reset	P21 作为外部 RESET
	as gpio	P21 作为 GPIO (默认)
FS_SEL	128KHz	副时钟选择 128KHz
	16KHz	副时钟选择 16KHz
WDTEN	Enable	WDT 使能
	Disable	WDT 禁止 (默认)
SUT	4.5ms	系统建立时间选择 4.5ms
	18ms	系统建立时间选择 18ms
PROTECT	Enable	加密位使能
	Disable	加密位禁止
cin_sel	Enable	SFS<7:6>=10, cin_plus 选择 VREF; SFS<7:6>=01, cin_plus 选择 P65
	Disable	CIN 选择 P65
PACKAGE	10PIN	10PIN 封装
	14PIN	14PIN 封装
	18PIN	18PIN 封装
	20PIN	20PIN 封装
CLKS	2Fosc	指令周期选择 2Fosc
	4Fosc	指令周期选择 4Fosc
	8Fosc	指令周期选择 8Fosc
	16Fosc	指令周期选择 16Fosc
LVR	1.8V	低压复位点选择 1.8V
	1.6V	低压复位点选择 1.6V
	2.7V	低压复位点选择 2.7V
	3.5V	低压复位点选择 3.5V
	4V	低压复位点选择 4V
NR	Disable	外部中断滤波选项禁止
	8Fosc	滤波时间 8Fosc
	32Fosc	滤波时间 32Fosc
HLP	Disable	高功耗模式
	Enable	低功耗模式
OSC	IRC	IRC 模式
	ERC	ERC 模式
	LXT1	LXT1 模式, 适用于频率范围 100K~1M 的时钟
	LXT2	LXT2 模式, 适用于频率为 32768 的时钟
	HXT1	HXT1 模式, 适用于频率范围 12M~16M 的时钟
	HXT2	HXT2 模式, 适用于频率范围 6M~12M 的时钟
	XT	XT 模式, 适用于频率范围 1M~6M 的时钟
P20DEF	as gpio	P20 作为 GPIO
	sysclk	P20 作为指令周期输出口
	sysclk_od	P20 设为开漏输出

FIRC	1M	IRC 频率选择 1M
	4M	IRC 频率选择 4M
	8M	IRC 频率选择 8M
	16M	IRC 频率选择 16M

6 WL8002 性能参数

注意：以下性能参数均为实测所得，仅供使用时参考！

6.1 极限参数

工作温度(°C):	() C: 0-70; () G: -25-70; () L: -25-85;		
	(☒) E: -40-85; () R: -55-85; () M: -55-125;		
存储温度(°C):	() -55~+125 () -40~+125 (☒) -65~+150		
	() 其它_____		
极限电压(V)	() -0.3~3	() -0.3~5	() -0.3~7
	() -0.3~15 ;	(☒) 其它____-0.3~6_____	
极限输入电压 (V)	() GND-0.3~VDD+0.3; (☒) 其它 <u>GND-0.3~VDD+1;</u>		
极限输出电压 (V)	() GND-0.3~VDD+0.3; (☒) 其它 <u>GND-0.3~VDD+1;</u>		

6.2 直流参数 (T=25°C VDD=5±5%V,GND=0V)

符号	参数说明	条件	最小	典型	最大	单位
ERC	外接阻容振荡	R:5.1KΩ, C:100pf	0.76	0.95	1.14	MHz
IRC1	内置阻容振荡 1 (校正后)	Firc0:Firc1=1:1	3.8	4	4.2	MHz
IRC2	内置阻容振荡 2 (校正后)	Firc0:Firc1=1:0	15.2	16	16.8	MHz
IRC3	内置阻容振荡 3 (校正后)	Firc0:Firc1=0:1	7.6	8	8.4	MHz
IRC4	内置阻容振荡 4 (校正后)	Firc0:Firc1=0:0	0.76	1	1.14	MHz
VIH1	输入高电平	P0, P1, P20	0.7*VDD		VDD+0.3	V
VIL1	输入低电平	P0, P1, P20	-0.3		0.3*VDD	V
IOH1	输出高电平驱动 (除 P21)	IOH=0.9*VDD	-2.59	-3.7	-4.81	mA
IOH2	输出高电平驱动增强 (除 P21)	IOH=0.9*VDD	-7	-10	-13	mA
IOL1	IO 输出低电平驱动 (除 P21)	IOL=0.1*VDD	7	10	13	mA
IOL2	IO 输出低电平驱动增强 (除 P21)	IOL=0.1*VDD	17.5	25	32.5	mA
IPH	上拉电流 (P0,P1)	上拉使能, 输入接地	-50	-70	-120	μA
IPL	下拉电流 (P0)	下拉使能, 输入接 VDD	20	40	75	μA

Isb1	关机电流 1	所有输入接 VDD, 输出悬空, WDT、LVD 禁用			1	μA
Isb2	关机电流 2	所有输入接 VDD, 输出悬空, WDT 使能, LVD 禁用			10	μA
Isb3	关机电流 3	所有输入接 VDD, 输出悬空, LVD 使能, WDT 禁用			10	μA
Iop1	工作电流 1 (VDD=3V)	32KHz 晶振模式, 2clks, 输入接 VDD, 输出端悬空, WDT、LVD 禁止, 选择低功耗模式			20	μA
Iop2	工作电流 2	系统时钟 4MHz 晶振模式, 2clks, 输出端悬空, 输入接 VDD, 选择高功耗模式			1.7	mA
LVR1	低电压复位电压 1	选择 1.8V 复位点	1.5	1.8	2.1	V
LVR2	低电压复位电压 2	选择 1.6V 复位点	1.3	1.6	1.9	V
LVR3	低电压复位电压 3	选择 V _{lvr} 复位点	V _{lvr} -0.2	V _{lvr}	V _{lvr} +0.2	V
LVD	低压检测电压	选择检测点为 V _{lvd}	V _{lvd} -0.2	V _{lvd}	V _{lvd} +0.2	V

6.3 常温下工作电流在各电压下的变化情况

工作模式 1: IRC 振荡模式, WDT 禁止, 指令周期为 2Clocks, 芯片起振时间 18ms, 高功耗模式, P0/P1/P2 输出口悬空, 输入口上拉至 VDD。

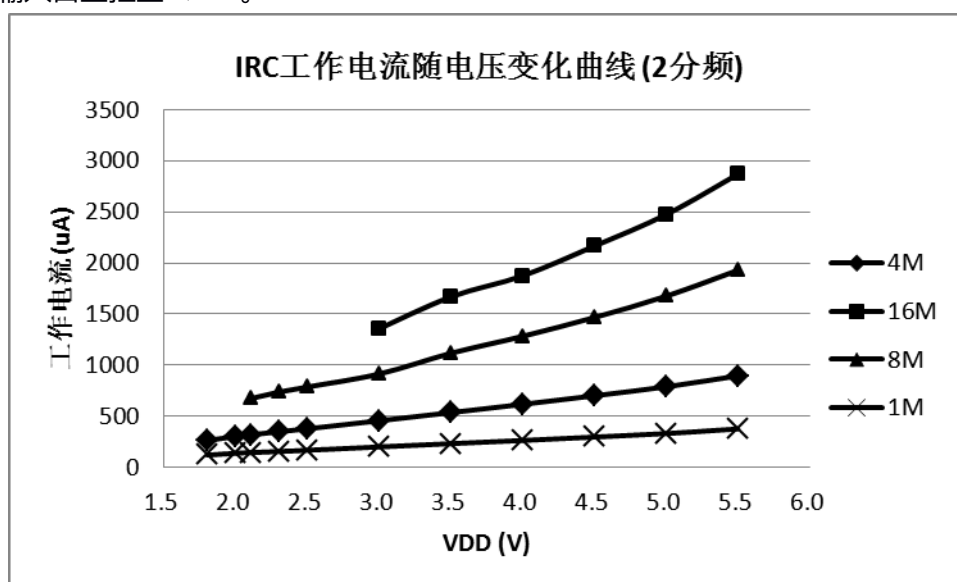


图14 工作电流曲线图一

工作模式 2: HXT 振荡模式, WDT 禁止, 指令周期为 2Clocks, 芯片起振时间 18ms, 高功耗模式, P0/P1/P2 输出口悬空, 输入口上拉至 VDD。

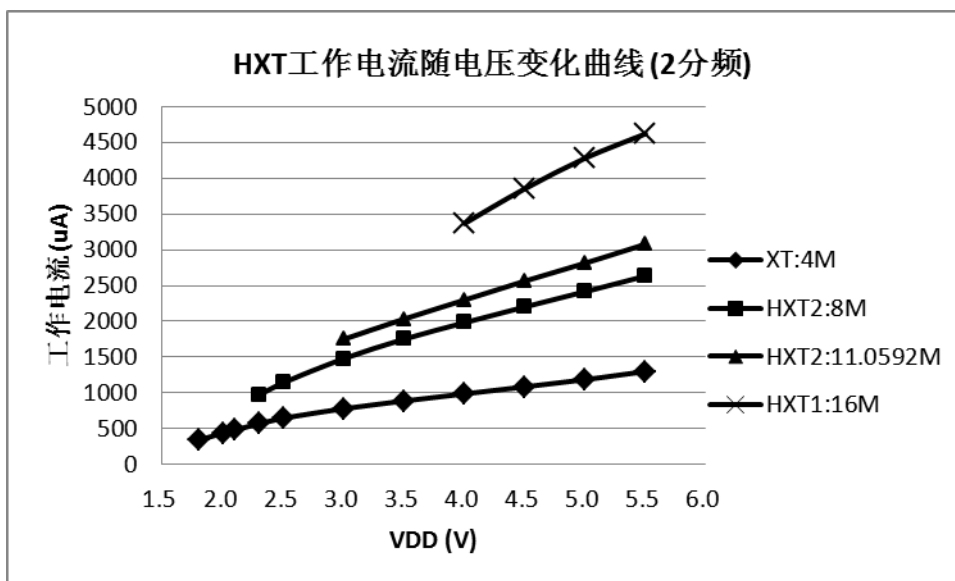


图15 工作电流曲线图二

工作模式 3: LXT 振荡模式, WDT 禁止, 指令周期为 2Clocks, 芯片起振时间 18ms, 低功耗模式, P0/P1/P2 输出口悬空, 输入口上拉至 VDD。

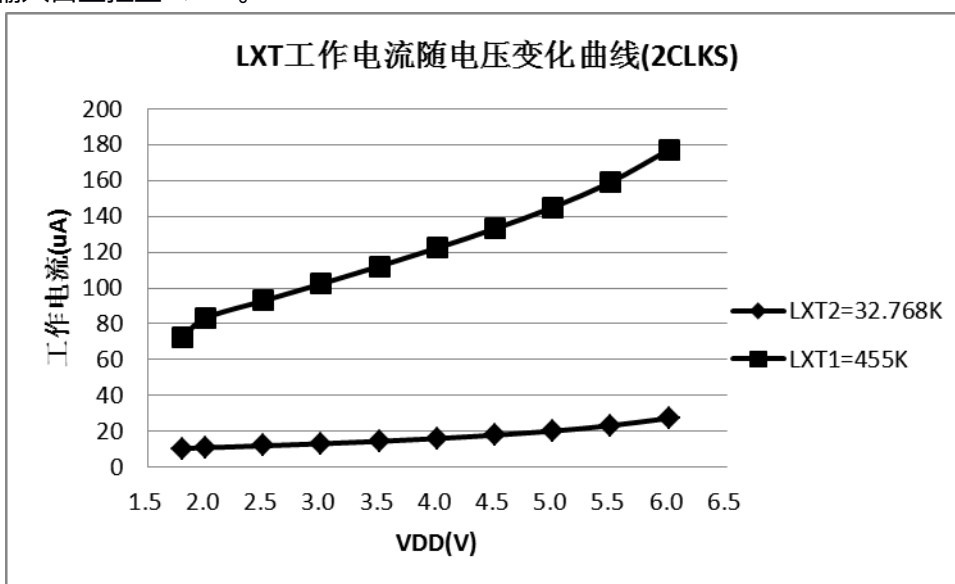


图16 工作电流曲线图三

6.4 常温下睡眠电流随电压变化情况

工作模式 1: IRC 4MHz, 指令周期 4Clocks, 芯片起振时间 18ms, WDT 关闭, LVD 关闭, P0/P1/P2 输出口悬空, 输入口上拉至 VDD。

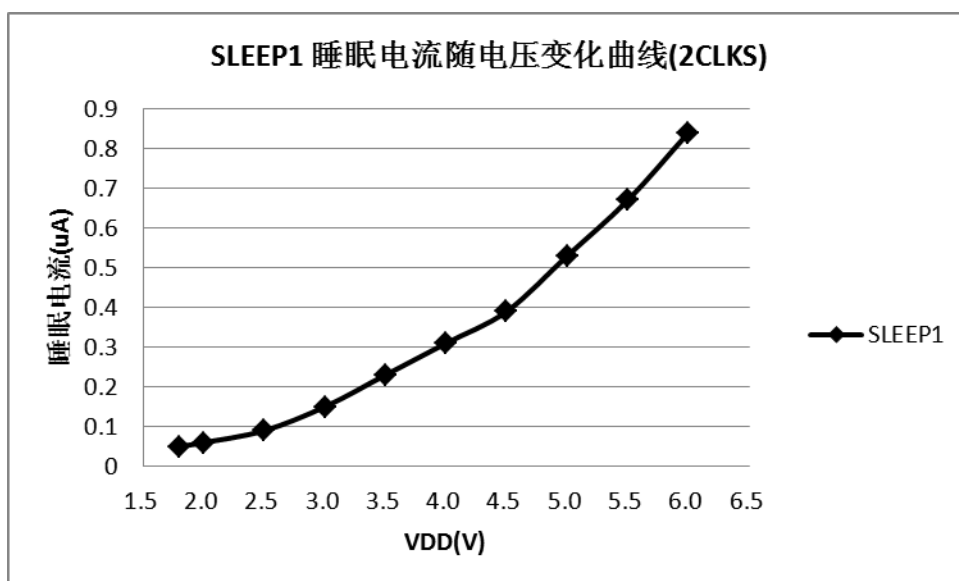


图17 睡眠电流曲线图一

工作模式 2: IRC 4MHz, 指令周期 4Clocks, 芯片起振时间 18ms, WDT 使能, LVD 关闭, P0/P1/P2 输出
口悬空, 输入口上拉至 VDD。

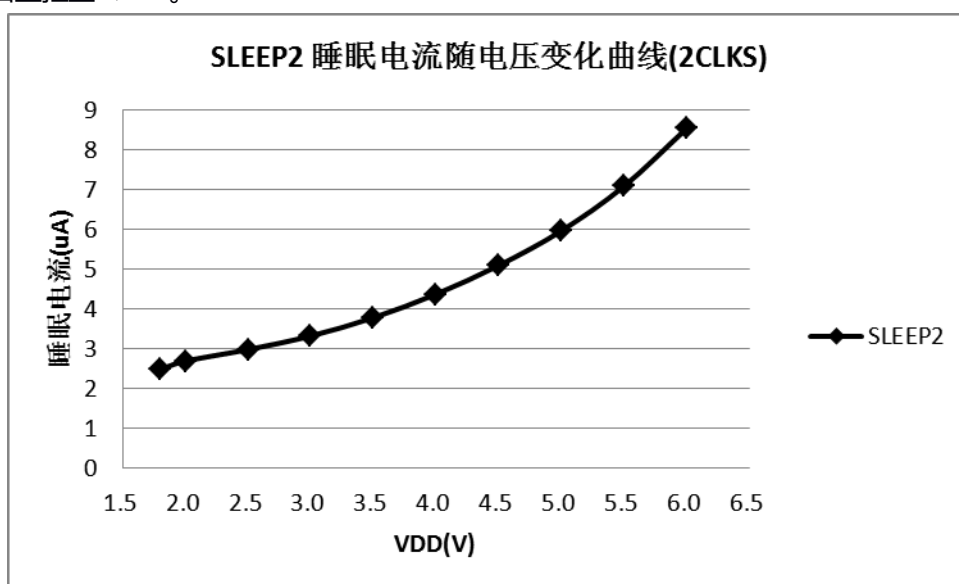


图18 睡眠电流曲线图二

工作模式 3: IRC 4MHz, 指令周期 4Clocks, 芯片起振时间 18ms, WDT 关闭, LVD=4.5V 使能, P0/P1/P2 输
出口悬空, 输入口上拉至 VDD。

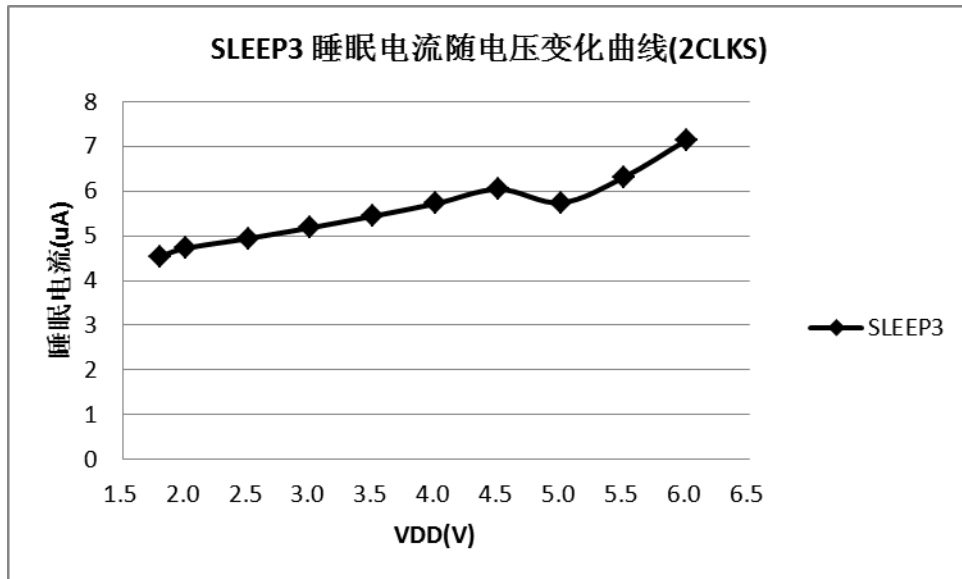


图19 睡眠电流曲线图三

6.5 IRC 工作频率随电压&温度变化情况

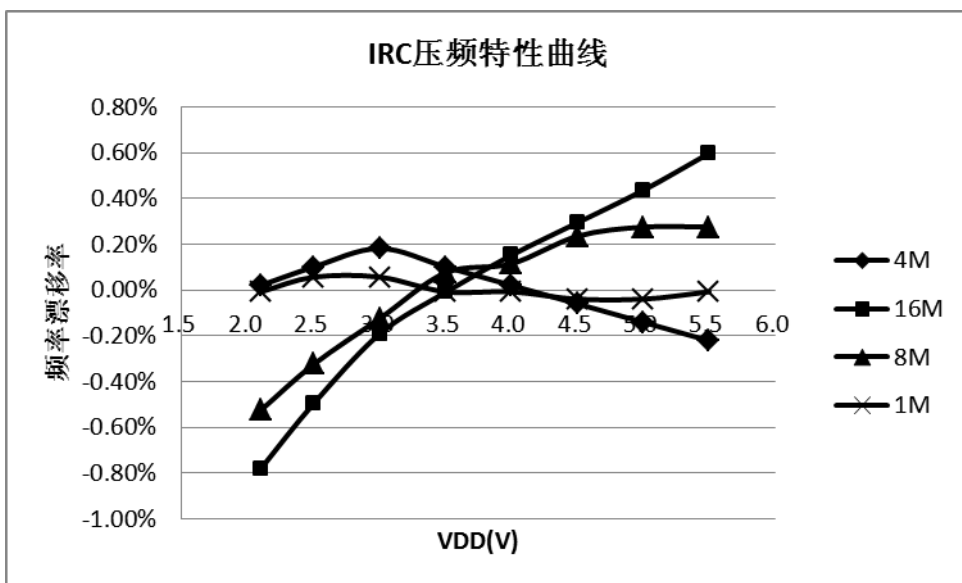


图20 IRC 压频特性曲线@25°C

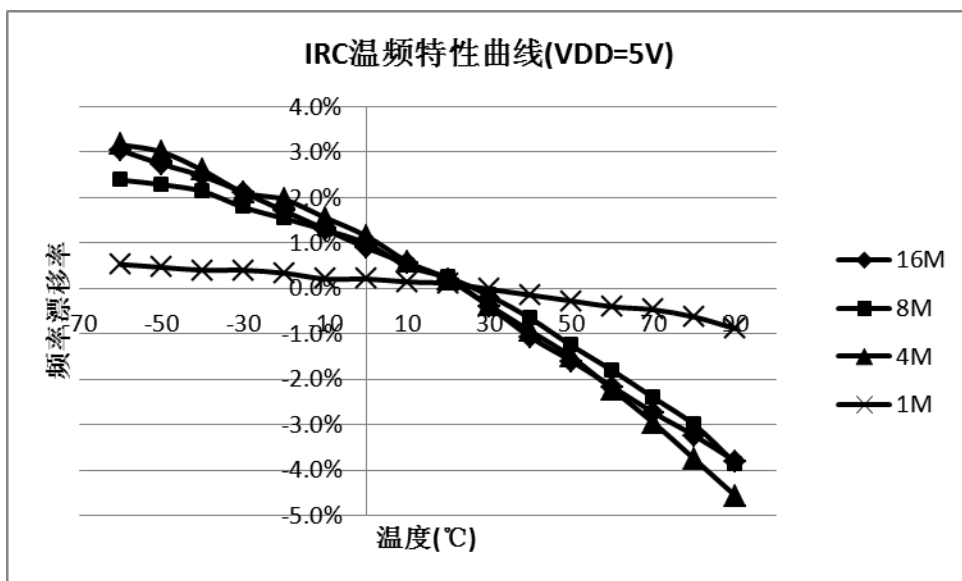


图21 IRC 温频特性曲线@VDD=5V

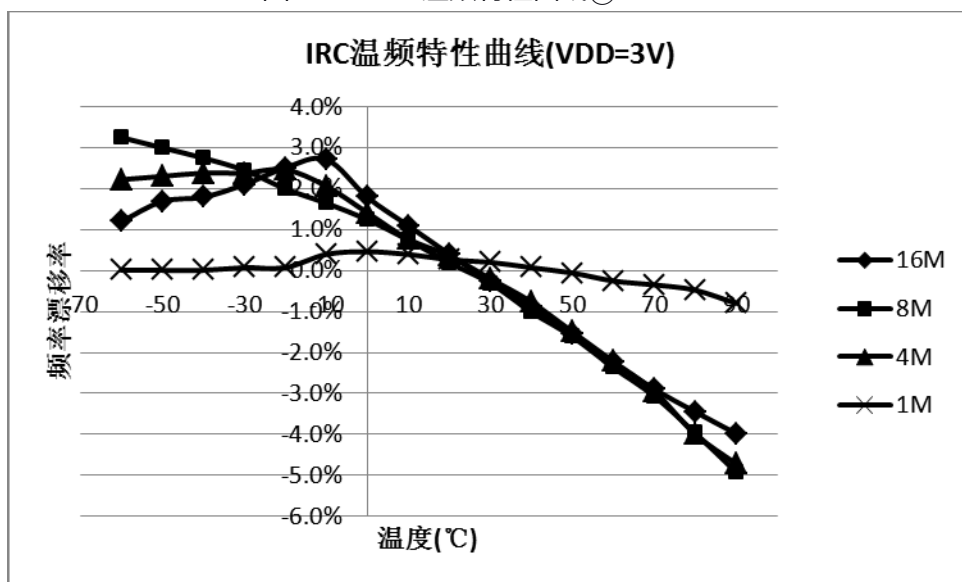


图22 IRC 温频特性曲线@VDD=3V

6.6 ERC 工作频率随温度变化情况

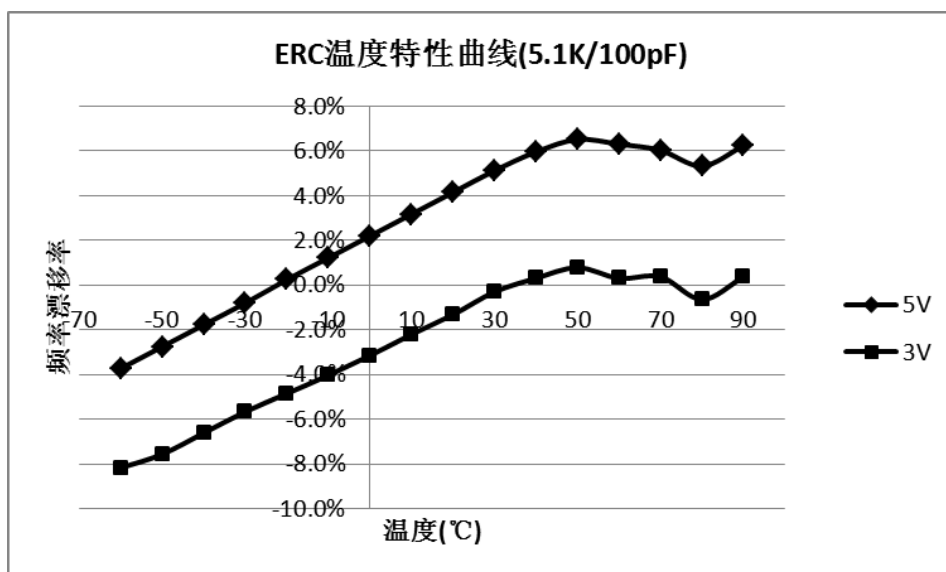


图23 ERC 温频特性曲线

6.7 Fs 工作频率随电压&温度变化情况

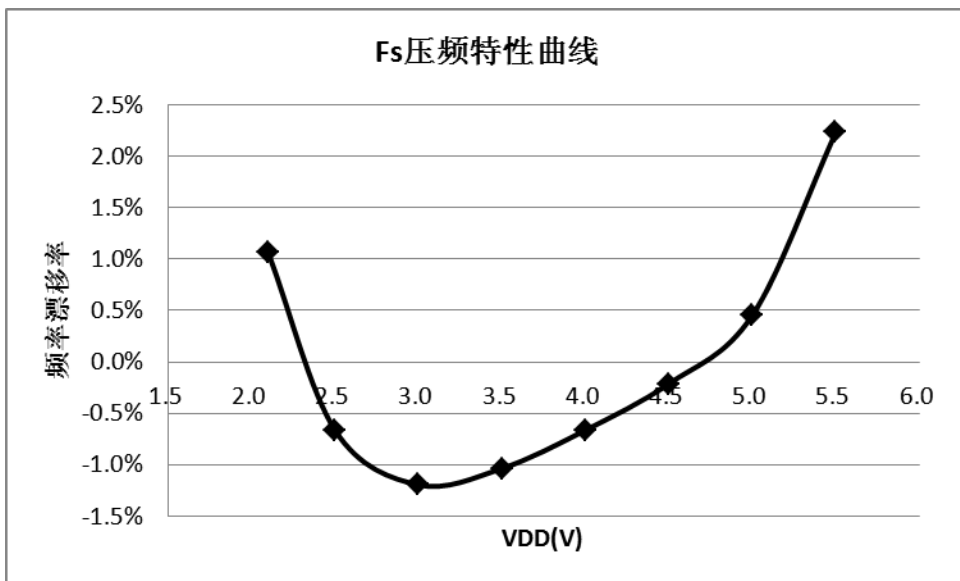


图24 Fs 压频特性曲线@25°C

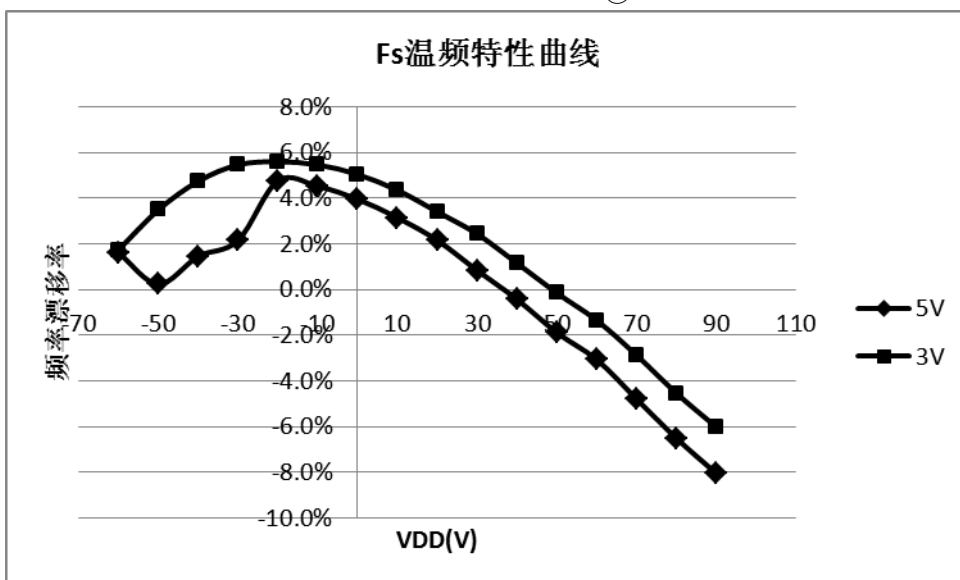


图25 Fs 温频特性曲线

6.8 输出高电平驱动电流 (Vdd=5.0V)

工作模式：IRC 4MHz, 指令周期 2 Clocks, VDD=5V, LVD/WDT 关闭, 芯片起振时间 18ms, 环境温度25°C。

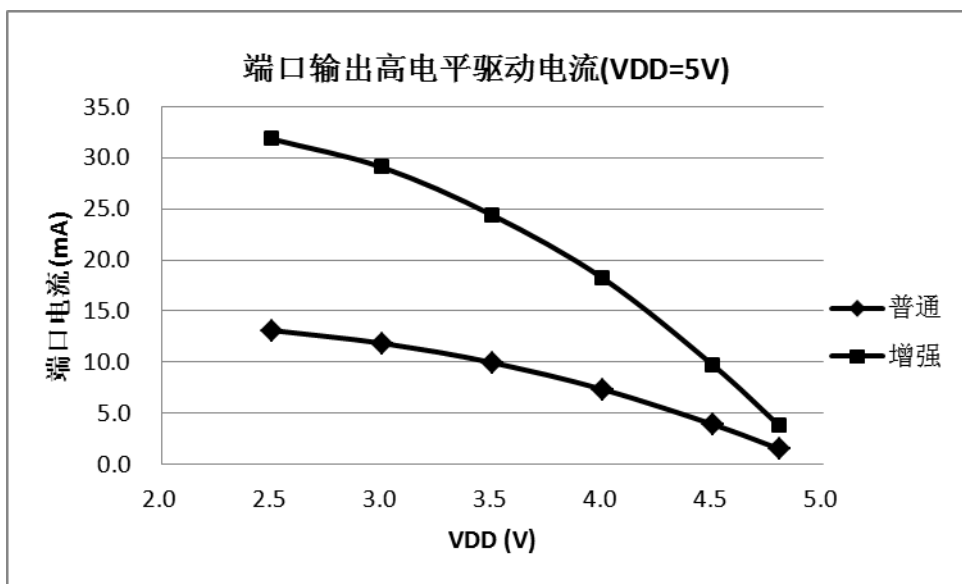


图26 端口输出高电平驱动电流曲线图

6.9 输出低电平驱动电流 (Vdd=5.0V)

工作模式: IRC 4MHz, 指令周期 2 Clocks, VDD=5V, LVD/WDT 关闭, 芯片起振时间 18ms, 环境温度25°C。

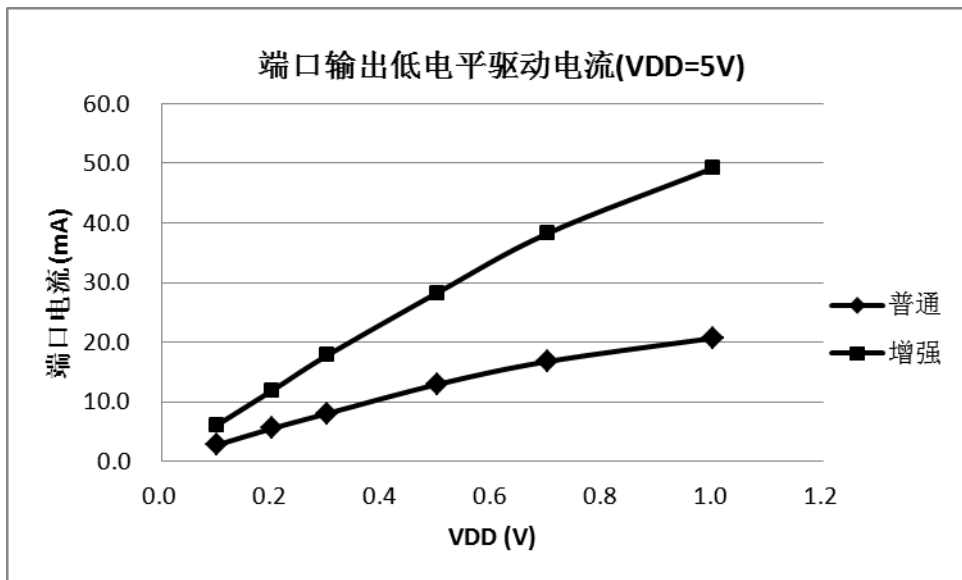


图27 端口输出低电平驱动电流曲线图

6.10 WDT 溢出时间随电压 & 温度 变化情况

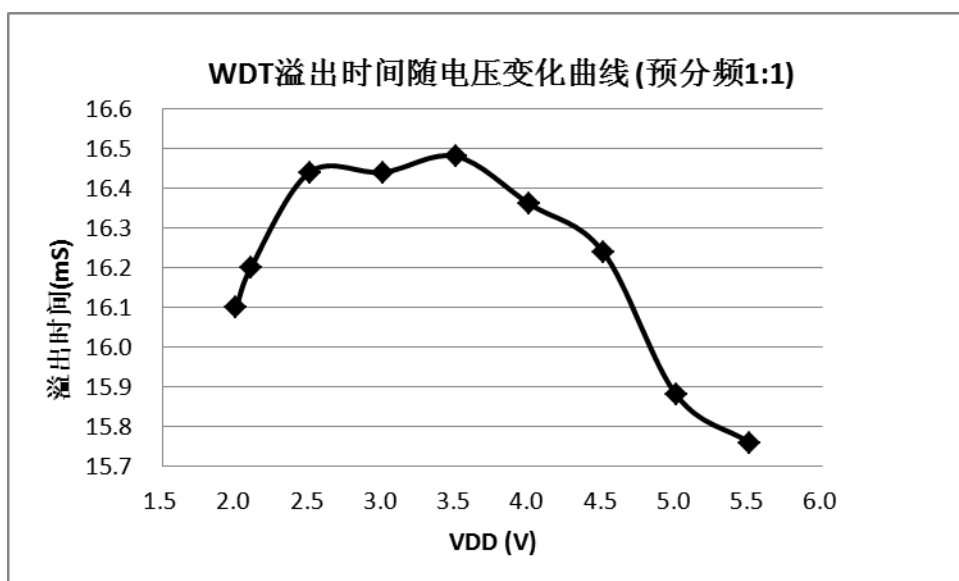


图28 WDT 溢出时间随电压@25°C变化曲线图

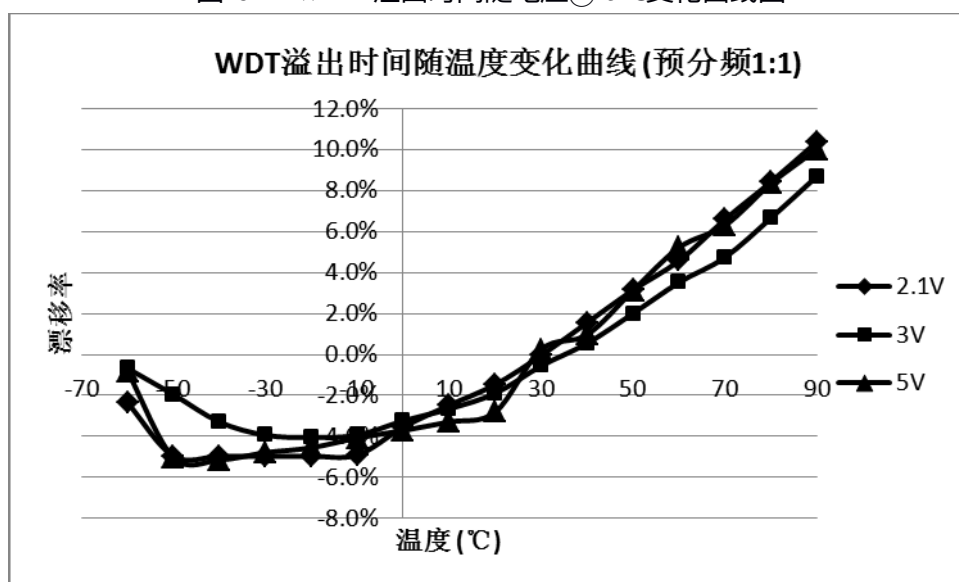


图29 典型工作电压下WDT 溢出时间随温度变化曲线图

6.11 系统工作电压与工作频率关系

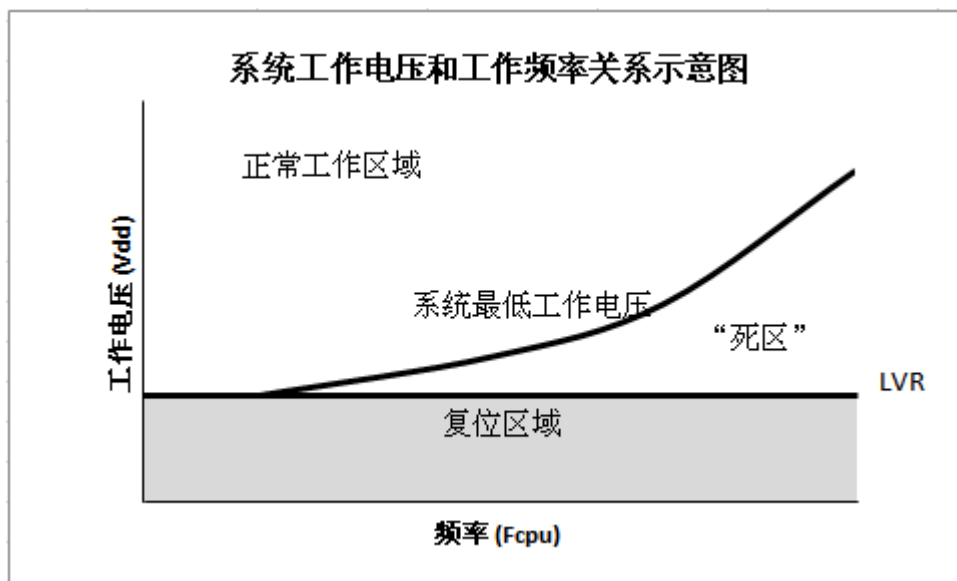
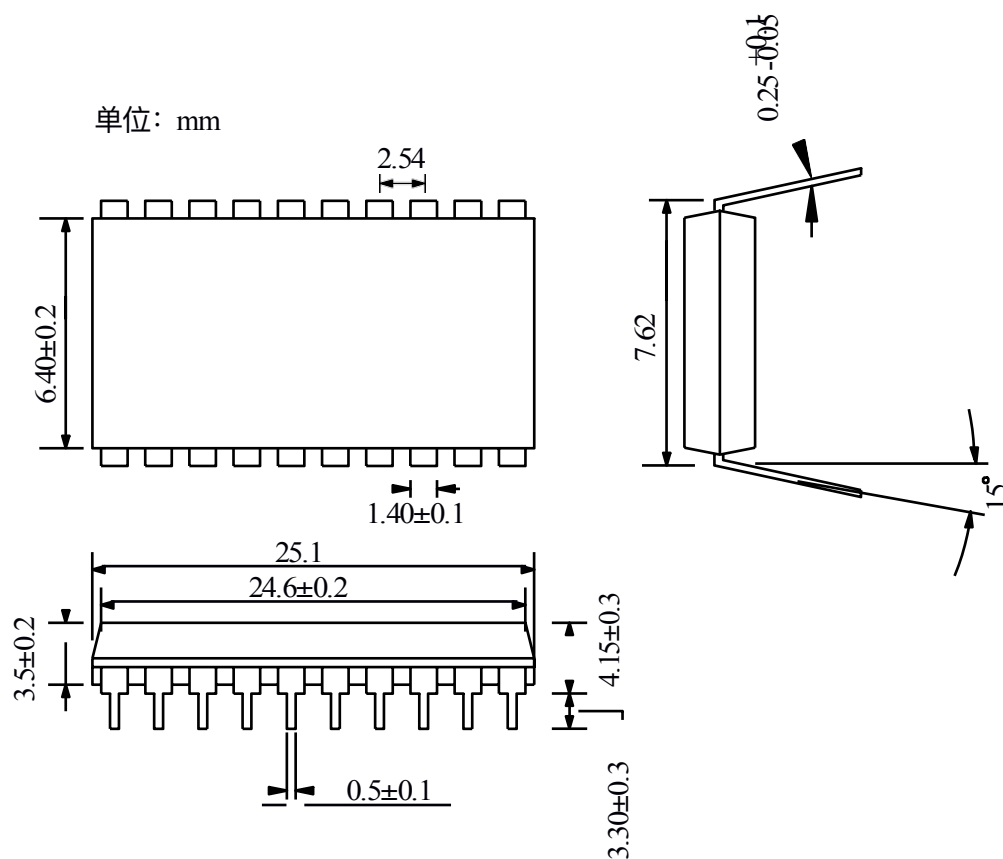


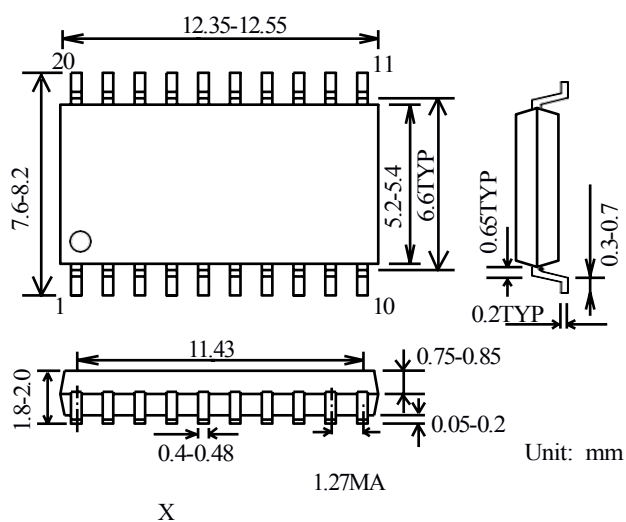
图30 系统工作频率与工作电压关系示意图

7 封装信息

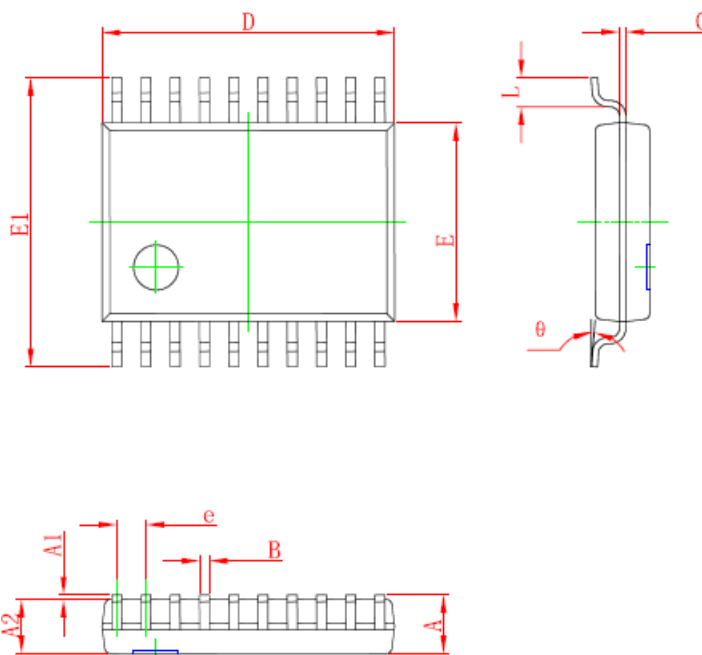
1) DIP20



2) SOP20-2

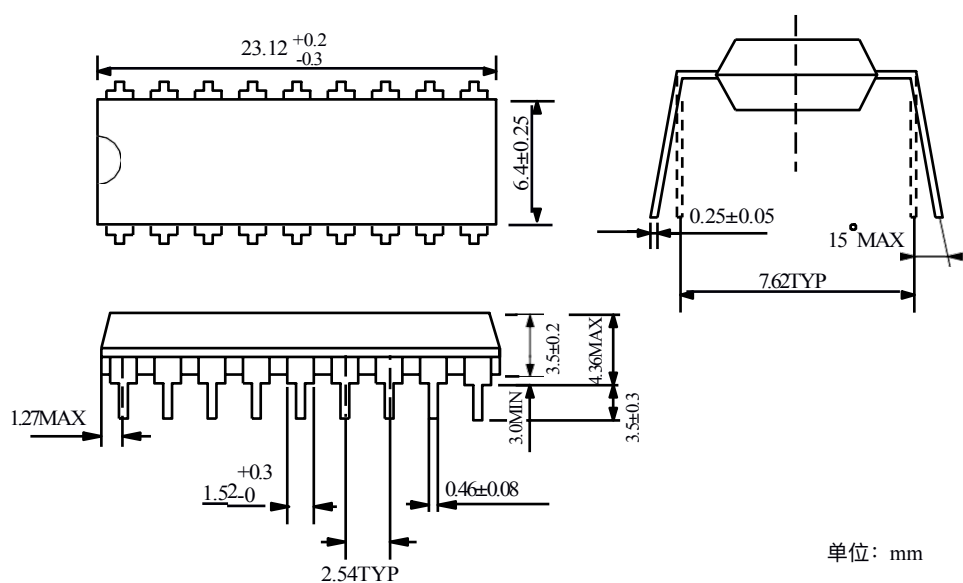


3) SSOP20

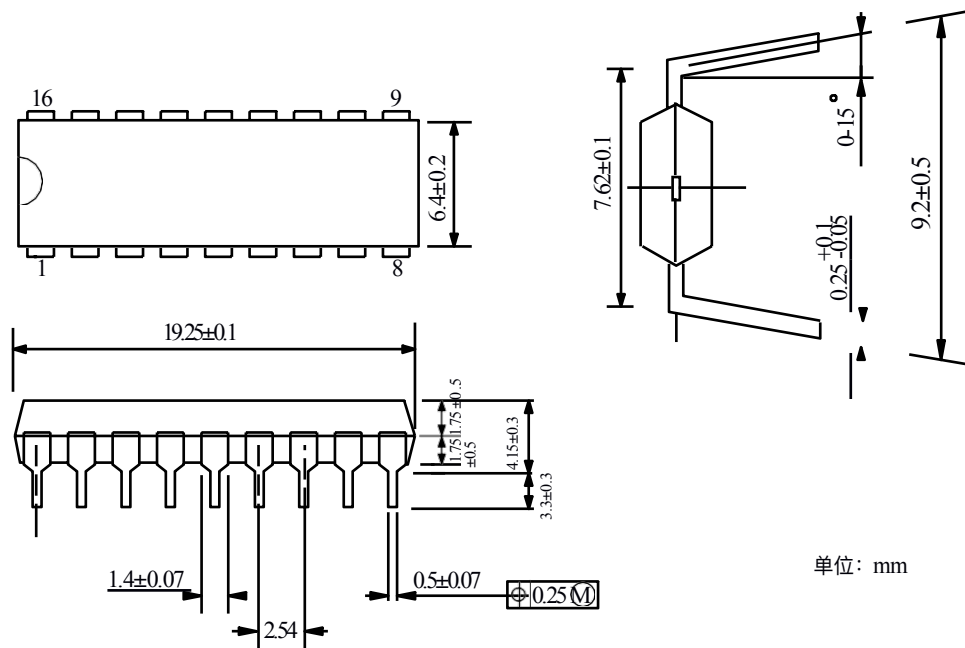


Symbol	Dimensions In Millimeters		Dimensions In Inches	
	Min	Max	Min	Max
A		1.45max		0.057max
A1	0.050	0.230	0.002	0.009
A2	1.100	1.300	0.043	0.051
B	0.22type		0.009type	
C	0.127type		0.005type	
D	6.300	6.700	0.248	0.264
E	4.200	4.600	0.165	0.181
E1	6.100	6.700	0.240	0.264
e	0.65type		0.026type	
L	0.250	0.650	0.010	0.026
θ	0°	8°	0°	8°

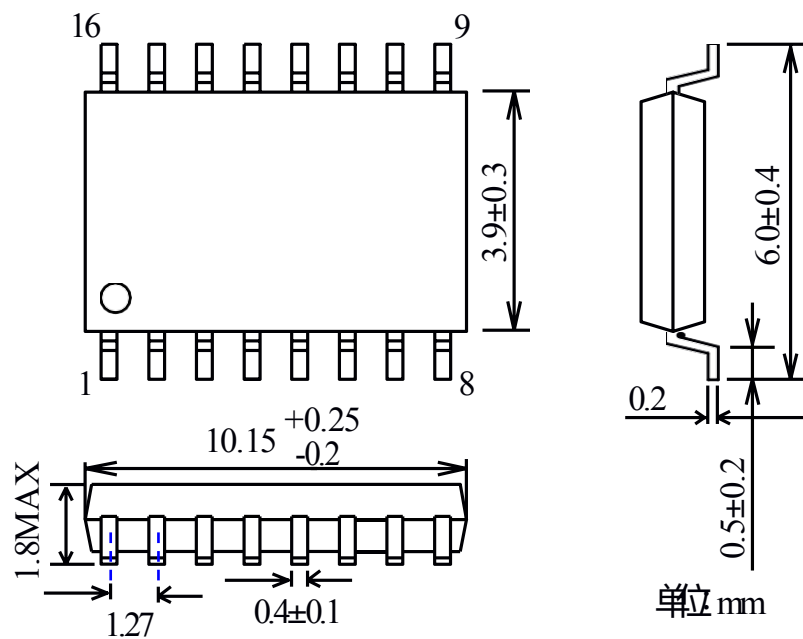
4) DIP18



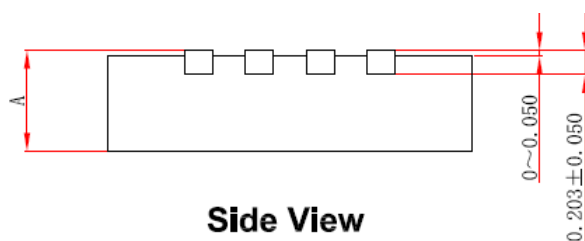
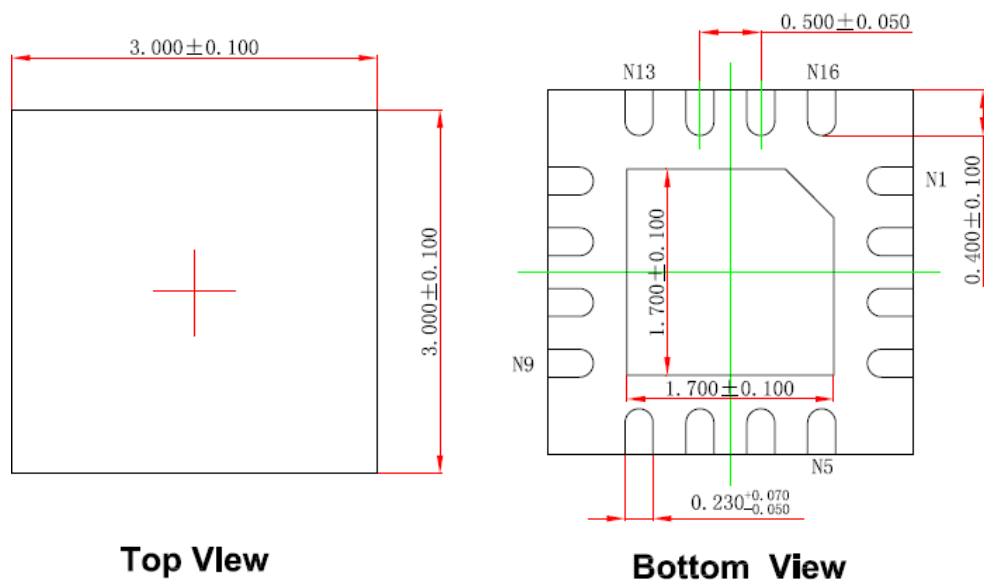
5) DIP66



6) SOP66-2

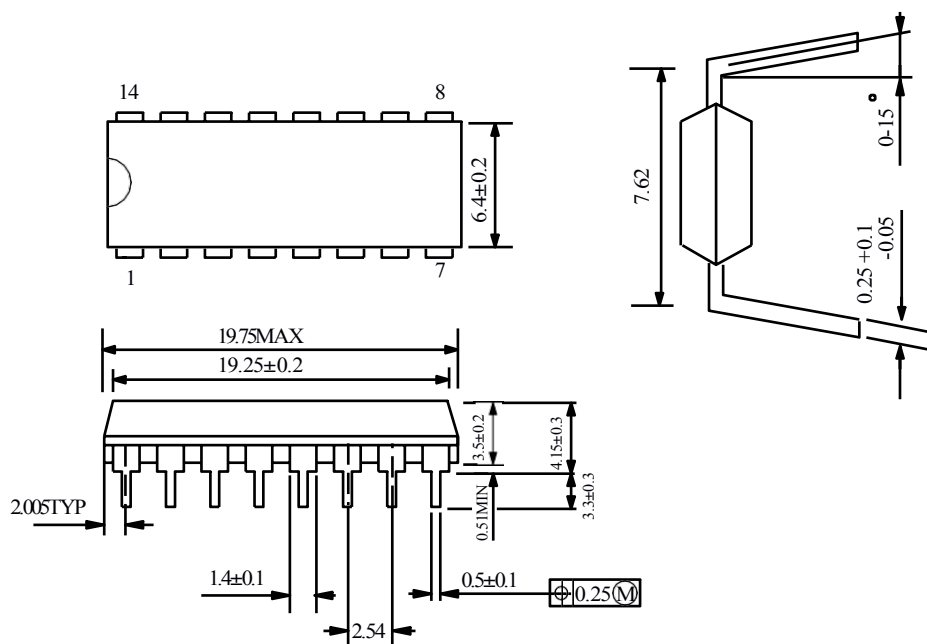


7) QFN16

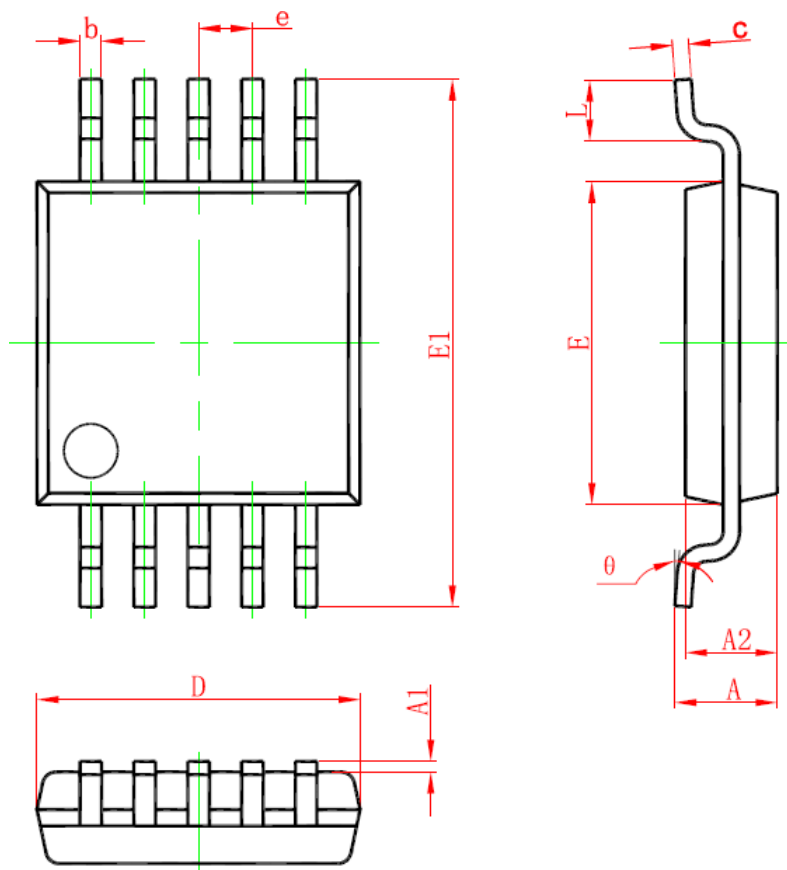


	MIN.	NORM.	MAX.
A	0.700	0.750	0.800
	0.800	0.850	0.900

8) DIP64

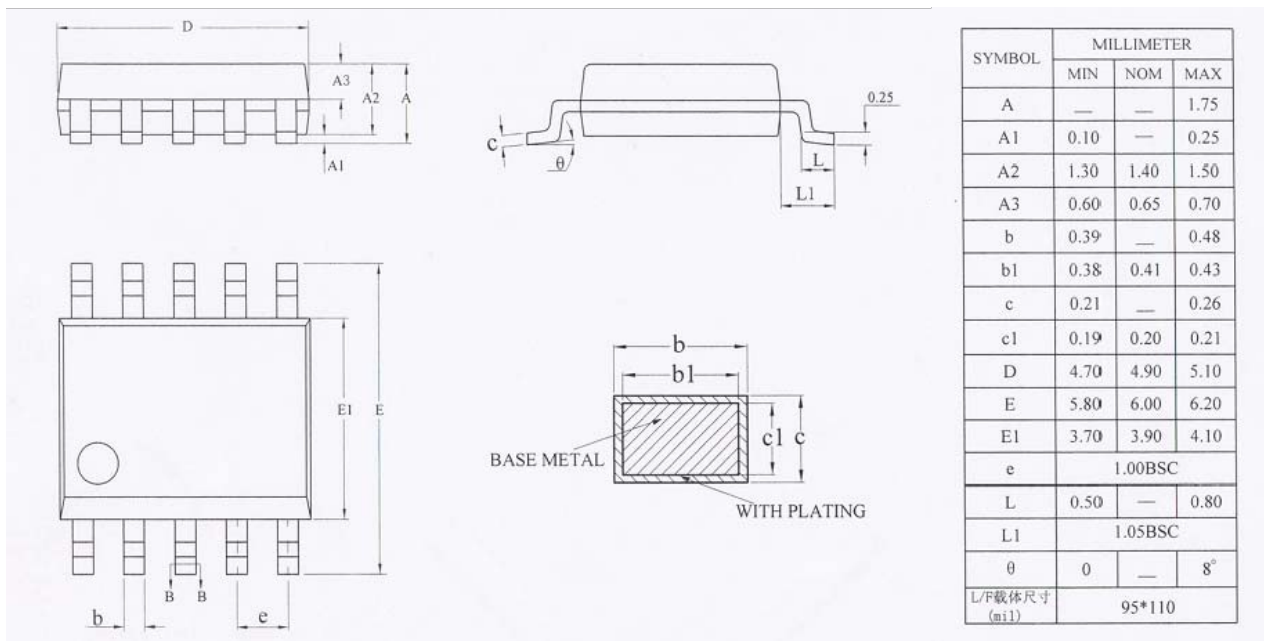


9) MSOP60



Symbol	Dimensions In Millimeters		Dimensions In Inches	
	Min	Max	Min	Max
A	0.820	1.100	0.032	0.043
A1	0.020	0.150	0.001	0.006
A2	0.750	0.950	0.030	0.037
b	0.180	0.280	0.007	0.011
c	0.090	0.230	0.004	0.009
D	2.900	3.100	0.114	0.122
e	0.50(BSC)		0.020(BSC)	
E	2.900	3.100	0.114	0.122
E1	4.750	5.050	0.187	0.199
L	0.400	0.800	0.016	0.031
θ	0°	6°	0°	6°

10) SSOP60



8 附录

产品中有毒有害物质或元素的名称及含量

部件名称	有毒有害物质或元素					
	铅 (Pb)	汞 (Hg)	镉 (Cd)	六价铬 (Cr ⁶⁺)	多溴联苯 (PBB)	多溴联苯醚 (PBDE)
引线框	○	○	○	○	○	○
塑封树脂	○	○	○	○	○	○
芯片	○	○	○	○	○	○
内引线	○	○	○	○	○	○
装片胶	○	○	○	○	○	○
说明	○：表示该有毒有害物质的含量在 SJ/T11363-2006 标准的限量要求以下。×：表示该有毒有害物质的含量超出 SJ/T11363-2006 标准的限量要求。					

产品中有毒有害物质或元素的名称及含量

部件名称	有毒有害物质或元素					
	铅 (Pb)	汞 (Hg)	镉 (Cd)	六价铬 (Cr ⁶⁺)	多溴联苯 (PBB)	多溴联苯醚 (PBDE)
芯片	○	○	○	○	○	○
说明	○：表示该有毒有害物质的含量在 SJ/T11363-2006 标准的限量要求以下。×：表示该有毒有害物质的含量超出 SJ/T11363-2006 标准的限量要求。					